

Semiconductor memory device .

Patent Number: EP0616331, A3, B1
Publication date: 1994-09-21
Inventor(s): WATANABE YUJI SHANBORU KAWASAK (JP)
Applicant(s): TOKYO SHIBAURA ELECTRIC CO (JP)
Requested Patent: JP6275071
Application Number: EP19940104299 19940318
Priority Number(s): JP19930085220 19930319
IPC Classification: G11C11/406
EC Classification: G11C11/406
Equivalents: DE69430683D, DE69430683T, JP2988804B2, KR167871, US5463590
Cited Documents: US4961167; US4691303; US4989183

Abstract

A DRAM comprises: a memory cell array divided into a plurality of banks (34, 35) each having a plurality of dynamic type memory cells arranged into substantially a matrix pattern, data being writable in and readable from each memory cell and further the data written in the memory cells being refreshable; activating sections (28, 30) for activating the memory cells to be read, written and refreshed; precharging sections (29, 31) for precharging data lines connected to the memory cells to be read; and command detecting circuits (1, 6, 12, 18, 23) for detecting commands and outputting control signals corresponding to the detected commands, to operate the DRAM in correspondence to the respective commands, each of a plurality of command detecting circuits (1, 6, 12, 18, 23) being provided for a plurality of the banks in common to detect one command. In a computer system having a high speed CPU, for instance, since the CPU and memory can be activated by use of a single clock, it is possible to realize a high speed

memory so as to correspond to the high speed CPU, by simplifying the clock control. 

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-275071

(43)公開日 平成6年(1994)9月30日

(51)Int.Cl.
G 11 C 11/406
G 06 F 12/06

識別記号 庁内整理番号
570 9366-5B
6866-5L

F I
G 11 C 11/34 363 K

技術表示箇所

審査請求 未請求 請求項の数8 FD (全41頁)

(21)出願番号 特願平5-85220

(22)出願日 平成5年(1993)3月19日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 渡辺裕待

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(74)代理人 弁理士 佐藤一雄 (外3名)

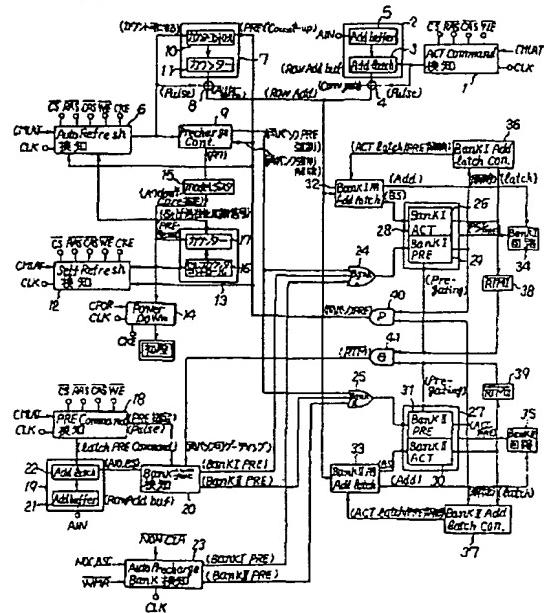
(54)【発明の名称】 半導体メモリ装置

(57)【要約】

【目的】 高速動作するCPUを用いたコンピュータシステムなどにおいて、単一クロックでメモリとCPUを動作させることにより、クロックの制御を簡略化し、CPUの高速化に対応した高速動作可能なメモリを実現する。

【構成】 複数バンクに別れたメモリセルアレイのバンクI回路34、バンクII回路35毎にバンクI用アドレスラッチャ32とバンクII用アドレスラッチャ33を配置し、ロウアドレスバッファ2、19からのアドレスを、アドレスラッチャ32、33にラッチすることによりバンクI活性化/プリチャージ指定部26、バンクII活性化/プリチャージ指定部27を通じて各バンクの活性化を行い、各バンクのリフレッシュやプリチャージは全体で1系統設けられるオートリフレッシュ検知部6、セルフリフレッシュ検知部12、プリチャージ検知部23からの検知信号に基づいて活性化/プリチャージ指定部26、27を通じてバンク毎に行わせる。

ロウ部系コントロール



1

2

【特許請求の範囲】

【請求項1】 加えられた各種のコマンドを検知し、加えられたコマンドに応じた動作を行なう、複数のメモリセルを有する、半導体メモリ装置において、前記複数のメモリセルは複数のバンクに分割されており、前記コマンドのうちのあるものを検知するあるコマンド検知手段は、前記複数のバンクに共通に1つだけ設けている、半導体メモリ装置。

【請求項2】 複数のメモリセルを有し、加えられたアドレスに応じたメモリセルに対してアクセスを行う半導体メモリ装置において、前記複数のメモリセルは複数のバンクに分割されており、

前記各バンクに、前記アドレスをラッチするアドレスラッチ手段が設けられており、前記各アドレスラッチ手段は、それに対応する前記バンクが、活性化されたときにラッチ状態となり、プリチャージされたときにラッチ解除状態になる、半導体メモリ装置。

【請求項3】 複数のメモリセルを有し、前記メモリセルに対するアクセスに当っては、アクセス対象とするメモリセルを活性化した後にプリチャージを行うようにした、半導体メモリ装置において、前記複数のメモリセルは複数のバンクに分割されており、

前記バンクの全てをプリチャージする全バンクプリチャージ指定を、前記バンクの1つでもプリチャージゲーティング状態にあるときには無視する、論理手段が設けられている、半導体メモリ装置。

【請求項4】 複数のメモリセルを有し、入力されたオートリフレッシュコマンドあるいはセルフリフレッシュコマンドをオートリフレッシュコマンド検知手段あるいはセルフリフレッシュコマンド検知手段で検知して、それらのメモリセルに対してオートリフレッシュあるいはセルフリフレッシュを行なうようにした、半導体メモリ装置において、

前記セルフリフレッシュの実行は、前記セルフリフレッシュコマンドに基づいた信号を、前記セルフリフレッシュコマンド検知手段から前記オートリフレッシュコマンド検知手段に周期的に加えることにより、オートリフレッシュコマンドが前記オートリフレッシュコマンド検知手段に周期的に入力されたように見せかけることにより、行なうようにした、半導体メモリ装置。

【請求項5】 複数のメモリセルを有し、前記メモリセルのうちのリフレッシュカウンタで示されるものに対してリフレッシュを行うようにした半導体メモリ装置において、

前記メモリセルは複数のバンクに分割されており、

カウンタテスト時には、前記リフレッシュカウンタが示

10

20

30

40

50

すメモリセルがいずれのバンクに在るかを検知して、検知されたバンクにおけるカラム系を自動的に活性化する、半導体メモリ装置。

【請求項6】 複数のメモリセルを有し、入力されたアドレスに対応するメモリセルをアクセスするに当たり、それらのメモリセルをアクティブコマンドの入力に応じて活性化するようにした、半導体メモリ装置において、

前記アドレスを格納するアドレスバッファを有し、前記メモリセルは複数のバンクに分割されており、

前記各バンクは、それぞれバンク用アドレスラッチ部を有し、前記各バンク用アドレスラッチ部には前記アドレスバッファからのアドレスが格納されており、

前記各バンク用アドレスラッチ部に格納されたアドレスに対応する各バンクにおけるメモリセルの活性化は、前記アクティブコマンドの入力によって行われる、半導体メモリ装置。

【請求項7】 複数のメモリセルを有し、それらのメモリセルに対してアクセスするに当たり、それらのメモリセルをアクティブコマンドによって活性化するようにした、

半導体メモリ装置において、

前記メモリセルは複数のバンクに分割されており、前記アクティブコマンドはコマンドラッチ手段を介して前記各バンクに伝えられ、

このコマンドラッチ手段は、あるバンクについて活性化実行中に同一のバンクのアクティブを内容とする他のアクティブコマンドが入力されても、前記他のアクティブコマンドは無視する、半導体メモリ装置。

【請求項8】 複数のメモリセルを有し、これらのメモリセルに対してアクセスするに当たり、それらのメモリセルをプリチャージコマンドによってプリチャージするようにした半導体メモリ装置において、

前記メモリセルから読み出したデータを格納するリードレジスタを有し、

このリードレジスタからのデータの出力を制御する制御回路は、前記プリチャージコマンドの入力後もそのコマンドの入力により前記レジスタから読み出されたデータがインバリッドになる前のデータについての出力を許容する、半導体メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は高速性を要求される半導体メモリ装置に関するもので、特にミニコンピュータ、ワークステーションなどの比較的小規模のシステムのうち高速C P Uシステムを搭載した機器に使用される半導体メモリ装置に関するものである。

【0002】

【従来の技術】 従来から、コンピュータなどの主記憶に用いられているD R A Mは、周知のように、R A S信号やC A S信号などの各種の制御信号を必要とする。これらの制御信号は、C P Uの動作のために供給されている

クロックを、加工することにより作り出すのが一般的であった。

【0003】一方、近年、CPUの動作周波数の高速化がめざましい。そして、CPUの動作周波数が、DRAMの動作周波数を上回るようになってきている。このため、CPUの動作速度に対して、DRAMの動作速度が遅れてしまうという問題がある。

【0004】このような、CPUの動作速度に対する、DRAMの動作速度の遅れをカバーするために、従来から、DRAMで構成される主記憶部を複数のバンクで構成するような構成や、メモリをインターリーブ動作させるような構成がとられてきた。これらの構成は、メモリのアクセスを並列的に実行することで、CPUから見た場合の動作を高速化するものである。しかしながら、その反面、メモリ制御の方法が非常に複雑になり、メモリ周辺回路の複雑化を招く。

【0005】

【発明が解決しようとする課題】従来の半導体メモリ装置は以上のように構成されていたので、ミニコンピュータやワークステーションなどのように、比較的小規模なコンピュータシステムに適用しようとすると、システムの複雑化を招くという問題点がある。つまり、小規模のシステムで、メモリのバンクアクセスやメモリのインターリーブを採用しようとすると、ハードウェア的に構成が複雑になり、システムコストの上昇をまねいたり、ダウンサイ징の妨げになったりする。

【0006】また、CPUの動作周波数が50MHz、100MHzと高速になると、メモリの使いこなしが更に難しくなる。つまり、CPUの高速化に対応するには、メモリの階層をより巧妙に構築する必要があり、メモリシステムを更に複雑なものにしてしまう。

【0007】一方、メモリシステムの複雑化を避けるために、メモリ内部をパイプライン動作させるようなメモリ装置も提案されている。しかし、メモリ内部を単純にパイプライン動作させるだけでは、メモリの動作速度はコア部からのデータの読み出し速度に律速されてしまう。つまり、高速動作するCPUの動作に追従させることができないという問題点がある。

【0008】本発明の目的は上記のような従来技術の問題点を解消し、高速動作するCPUを用いたコンピュータシステムなどにおいて、メモリ制御システムを複雑化することなく高速化に対応できる、半導体メモリ装置を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するため、本発明は第1に、加えられた各種のコマンドを検知し、加えられたコマンドに応じた動作を行なう。複数のメモリセルを有する、半導体メモリ装置において、前記複数のメモリセルは複数のバンクに分割されており、前記コマンドのうちのあるものを検知するあるコマンド検

知手段は、前記複数のバンクに共通に1つだけ設けている半導体メモリ装置を提供するものである。

【0010】上記目的を達成するために、本発明は第2に、複数のメモリセルを有し、加えられたアドレスに応じたメモリセルに対してアクセスを行う半導体メモリ装置において、前記複数のメモリセルは複数のバンクに分割されており、前記各バンクに、前記アドレスをラッチするアドレスラッチ手段が設けられており、前記各アドレスラッチ手段は、それに対応する前記バンクが、活性化されたときにラッチ状態となり、プリチャージされたときにラッチ解除状態になる、半導体メモリ装置を提供するものである。

【0011】上記目的を達成するために、本発明は第3に、複数のメモリセルを有し、前記メモリセルに対するアクセスに当っては、アクセス対象をするメモリセルを活性化した後にプリチャージを行うようにした、半導体メモリ装置において、前記複数のメモリセルは複数のバンクに分割されており、前記バンクの全てをプリチャージする全バンクプリチャージ指定を、前記バンクの1つのでもプリチャージゲーティング状態にあるときには無視する、論理手段が設けられている、半導体メモリ装置を提供するものである。

【0012】上記目的を達成するために、本発明は第4に、複数のメモリセルを有し、入力されたオートリフレッシュコマンドあるいはセルフリフレッシュコマンドをオートリフレッシュコマンド検知手段あるいはセルフリフレッシュコマンド検知手段で検知して、それらのメモリセルに対してオートリフレッシュあるいはセルフリフレッシュを行なうようにした、半導体メモリ装置において、前記セルフリフレッシュの実行は、前記セルフリフレッシュコマンドに基づいた信号を、前記セルフリフレッシュコマンド検知手段から前記オートリフレッシュコマンド検知手段に周期的に加えることにより、オートリフレッシュコマンドが前記オートリフレッシュコマンド検知手段に周期的に入力されたように見せかけることにより、行なうようにした半導体メモリ装置を提供するものである。

【0013】上記目的を達成するために、本発明は第5に、複数のメモリセルを有し、前記メモリセルのうちのリフレッシュカウンタで示されるものに対してリフレッシュを行うようにした半導体メモリ装置において、前記メモリセルは複数のバンクに分割されており、カウンタテスト時には、前記リフレッシュカウンタが示すメモリセルがいずれのバンクに在るかを検知して、検知されたバンクにおけるカラム系を自動的に活性化する半導体メモリ装置を提供するものである。

【0014】上記目的を達成するために、本発明は第6に、複数のメモリセルを有し、入力されたアドレスに対応するメモリセルをアクセスするに当り、それらのメモリセルをアクティブコマンドの入力に応じて活性化する

ようにした、半導体メモリ装置において、前記アドレスを格納するアドレスバッファを有し、前記メモリセルは複数のバンクに分割されており、前記各バンクは、それぞれバンク用アドレスラッチ部を有し、前記各バンク用アドレスラッチ部には前記アドレスバッファからのアドレスが格納されており、前記各バンク用アドレスラッチ部に格納されたアドレスに対応する各バンクにおけるメモリセルの活性化は、前記アクティブコマンドの入力によって行われる半導体メモリ装置を提供するものである。

【0015】上記目的を達成するために、本発明は第7に、複数のメモリセルを有し、それらのメモリセルに対してアクセスするに当り、それらのメモリセルをアクティブコマンドによって活性化するようにした、半導体メモリ装置において、前記メモリセルは複数のバンクに分割されており、前記アクティブコマンドはコマンドラッチ手段を介して前記各バンクに伝えられ、このコマンドラッチ手段は、あるバンクについて活性化実行中に同一のバンクのアクティブを内容とする他のアクティブコマンドが入力されても、前記他のアクティブコマンドは無視する、半導体メモリ装置を提供するものである。

【0016】上記目的を達成するために、本発明は第8に、複数のメモリセルを有し、これらのメモリセルに対してアクセスするに当り、それらのメモリセルをプリチャージコマンドによってプリチャージするようにした半導体メモリ装置において、前記メモリセルから読み出したデータを格納するリードレジスタを有し、このリードレジスタからデータの出力を制御する制御回路は、前記プリチャージコマンドの入力後もそのコマンドの入力により前記レジスタから読み出されたデータがインパリッドになる前のデータについての出力を許容する半導体メモリ装置を提供するものである。

【0017】

【作用】上記手段において、本発明の半導体メモリ装置は、第1に、複数のバンクに分割されたメモリセル手段に対してコマンド検知手段が1系統だけとなっており、クロック制御が簡単になりヒデュンロード動作が可能になっている。

【0018】上記手段において、本発明の半導体メモリ装置は、第2に、複数のバンクに分割されたメモリセル手段の各バンク毎にアドレスラッチ手段が設けられ、各バンクが活性化されてラッチ状態になり、プリチャージ状態になるとラッチ解除となる。

【0019】上記手段において、本発明の半導体メモリ装置は、第3に、複数のバンクに分割されたメモリセル手段の全バンクプリチャージ指定は、論理手段により、1つのバンクでもバンクプリチャージゲーティング状態にある時には全バンクのプリチャージ指定を禁止する。

【0020】上記手段において、本発明の半導体メモリ装置は、第4に、セルフリフレッシュは、オートリフレ

ッシュ検知手段にカウンタ手段からの信号を与えることにより実行する。

【0021】上記手段において、本発明の半導体メモリ装置は、第5に、カウンタテスト時には、リフレッシュカウンタが示すメモリセルが存するバンクのカラム系を自動的に活性化する。

【0022】上記手段において、本発明の半導体メモリ装置は、第6に、活性化コマンド検知手段によりメモリセルの活性化コマンドを検知すると、バンク用アドレスバッファからの指示に基づいてメモリセルの活性化を行わせる。

【0023】上記手段において、本発明の半導体メモリ装置は、第7に、同一のバンクに対する活性化コマンドが、2回以上続けて入力された場合でも、活性化の指示を制限する。

【0024】上記手段において、本発明の半導体メモリ装置は、第8に、メモリセル手段の各バンクがプリチャージ状態にある時にも、プリチャージ中のバンクからデータの読み出しを行うことを可能にしている。

【0025】

【実施例】以下、図面を参照しながら本発明の実施例を説明する。

【0026】図1は本発明の一実施例に係る半導体メモリ装置の概略構成図を示すものであり、特に、アドレスおよびデータの流れを示す説明図である。

【0027】図1において示すように、バンクIセルアレイ43にはロウデコーダ44とカラムデコーダ45が接続される。一方、バンクIIセルアレイ46にはロウデコーダ47とカラムデコーダ48が接続される。セルアレイ43にはDQバッファ49が接続され、セルアレイ46にはDQバッファ50が接続される。

【0028】なお、アドレスAINはロウアドレスバッファ2、19とカラムアドレスバッファ51に与えられる。ロウアドレスバッファ2、19からのアドレスA0～A10はバンクI用アドレスラッチ32、バンクII用アドレスラッチ33に出力される。アドレスBSはバンクIの活性化/プリチャージ用のバンクI活性化/プリチャージ指定部26、バンクIIの活性化/プリチャージ用のバンクII活性化/プリチャージ指定部27に出力される。また、ロウアドレスバッファ2、19のアドレスA0～BSはモードレジスタ15に出力される。

【0029】バンクI用アドレスラッチ32からのアドレスA0、A1はデコーダ回路WDRVに、アドレスA2～A7はXA,B,C回路に、アドレスA8～A10はRS回路にそれぞれ与えられる。バンクII用アドレスラッチ33からのアドレスA0、A1はデコーダ回路WDRLVに、アドレスA2～A7はXA,B,C回路に、アドレスA8～A10はRS回路にそれぞれ与えられる。

【0030】カラムアドレスバッファ51からのアドレスA1～A3は2つのCSLセレクタ回路にそれぞれ与

7

えられる。2つのCSLセレクタ回路の出力は、/CDR V回路と、SCSL回路にそれぞれ出力される。また、カラムアドレスバッファ51からのアドレスA3～A8はアドレスカウンタ52に出力される。アドレスカウンタ52からのアドレス出力A3～A8は2つのY_{A,B,C}回路にそれぞれ出力される。

【0031】一方、カラムアドレスバッファ51からのアドレスA0、A1、A9は、QACT回路53、54に与えられる。QACT回路53、54の出力はそれぞれDQバッファ49、50に接続される。

【0032】入力データDQは、ライトレジスタ55を通じて、入力される。その入力データDQは、X'fer (トランスファー) Gate回路56及びDQバッファ49、50を介してセルアレイ(バンクI, II)43、46に接続される。ちなみに、X'fer Gate回路56、57には、カラムアドレスバッファ51から、アドレスA0、A1が入力されている。

【0033】DQM信号は、DQMWRレジスタ501を介して、DQMWR1に接続される。DQMWR1はDQバッファ49、50に接続される。さらに、DQM信号は、DQMRレジスタ502を通じて、DQMR1に接続される。DQMR1はReadレジスタ503に接続される。Readレジスタ503の出力であるPGT、NGTの信号は、出力バッファ504を通じて、出力データDQとして読み出される。リードレジスタ503には制御回路505が接続されている。この制御回路505は、プリチャージコマンド入力後も、有効なデータを出力可能のように、リードレジスタ503を制御する。即ち、制御回路505は、プリチャージコマンド入力に伴ってセルアレイ43、46からの読み出しデータが無効データとなる前の有効データを、プリチャージコマンド入力後に输出させる。

【0034】さて、ロウデコーダ44、47には、それぞれ、X_{A,B,C}回路とロウデコーダWDRVが接続される。また、カラムデコーダ45、46には、それぞれ、/CDRV回路、Y_{A,B,C}回路、SCSL回路が接続される。

【0035】図2は図1の構成におけるロウ系コントロール部のブロック図であり、特にシンクロナスDRAMのロウ系アーキテクチャーを示すものである。

【0036】図において示すように、ACTコマンド検知部1には、/CS、/RAS、/CAS、/WE、CLK及びCMLATが与えられる。そのACTコマンド検知部1の出力は、ロウアドレスバッファ2中のアドレスラッチ3と、ゲート4とに出力される。ちなみに、ロウアドレスバッファ2中のアドレスバッファ5にはアドレス入力AINが入力される。この入力AINは、アドレスラッチ3を介して、ロウアドレスとしてロウアドレス線に出力される。

【0037】また、オートリフレッシュ検知部6には、

8

/CS、/RAS、/CAS、/WE、CLK、CKE及びCMLATが与えられる。このオートリフレッシュ検知部6の出力は、オートリフレッシュカウンタ7と、ゲート8と、プリチャージ制御部9とに与えられる。オートリフレッシュカウンタ7は、カウンタコントロール10とカウンタ11を有する。このカウンタ7の出力はゲート8を介してロウアドレス線に導出される。なお、プリチャージ制御部9の出力は、両バンクプリチャージ強制信号として、オアゲート24、25に出力される。

10 オアゲート24は、バンクIをプリチャージするためのプリチャージ信号を、バンクI活性化/プリチャージ指定部26中のバンクIプリチャージ部29に与えるものである。オアゲート25は、バンクIIをプリチャージするためのプリチャージ信号を、バンクII活性化/プリチャージ指定部27中のバンクIIプリチャージ部31に与えるものである。

【0038】なお、バンクI活性化/プリチャージ指定部26は、バンクI活性化部28とバンクIプリチャージ部29を有する。オアゲート24の出力は、バンクI

20 プリチャージ部29に与えられる。一方、バンクII活性化/プリチャージ指定部27は、バンクII活性化部30とバンクIIプリチャージ部31を有する。オアゲート25の出力は、バンクIIプリチャージ部31に与えられる。

【0039】また、セルフリフレッシュ検知部12には、/CS、/RAS、/CAS、/WE、CLK、CKE及びCMLATが与えられる。このセルフリフレッシュ検知部12の出力は、セルフリフレッシュカウンタ13、パワーダウン部14、モードレジスタ15に与えられる。セルフリフレッシュカウンタ13はセルフカウンタコントロール16とカウンタ17を有する。そのカウンタ13の出力は、セルフ活性化周期信号として、オートリフレッシュ検知部6に出力される。また、パワーダウン部14には、CLKとCPOR、CKEが与えられ、そのパワーダウン部14の出力は初段に出力される。一方、セルフリフレッシュ検知部12からモードレジスタ15に与えられる信号は、アドレスA7を無視するドントケア指定信号として用いられる。モードレジスタ15から、プリチャージ制御部9には、アドレスA7に対応する信号が与えられる。また、/CS、/RAS、/CAS、/WE、CLK及びCMLATが与えられるプリコマンド検知部18の出力は、ロウアドレスバッファ19にラッチプリコマンドとして与えられると共に、バンク指定検知部20にプリ指定パルスとして与えられる。ロウアドレスバッファ19は、アドレスAINが与えられるアドレスバッファ21と、バッファ21からの出力をラッチしてA10、BSとして出力するアドレスラッチ22を有する。ロウアドレスバッファ19の出力A10、BSは、バンク指定検知部20に与えられる。バンク指定検知部20からはバンクIプリチャージ

信号とバンクIIプリチャージ信号が出力される。なお、バンクIプリチャージ信号はオアゲート24に、バンクIIプリチャージ信号はオアゲート25にそれぞれ与えられる。

【0040】一方、オートプリチャージバンク検知部23には、/NONCLA、/WMR、A10C、BS C、CLKが入力される。このオートプリチャージバンク検知部23は、バンクIプリチャージ信号とバンクIIプリチャージ信号を出力する。なお、バンクIプリチャージ信号はオアゲート24に、バンクIIプリチャージ信号はオアゲート25にそれぞれ出力される。

【0041】ロウアドレスバッファ2とカウンタ7とに接続されるロウアドレス線は、バンクI用アドレスラッチ32とバンクII用アドレスラッチ33とに接続される。そして、バンクI用アドレスラッチ32にラッチされたアドレスは、バンクI回路34に出力される。バンクII用アドレスラッチ33にラッチされたアドレスは、バンクII回路35に出力される。

【0042】バンクI用アドレスラッチ32には、バンクIアドレスラッチコントロール部36から、活性化ラッチ/プリチャージ解除信号が出力される。バンクII用アドレスラッチ33には、バンクIIアドレスラッチコントロール部37から、活性化ラッチ/プリチャージ解除信号が出力される。

【0043】バンクI用アドレスラッチ32からは、バンクI活性化/プリチャージ指定部26中のバンクI活性化部28に、/BSが出力される。バンクII用アドレスラッチ33からは、バンクII活性化/プリチャージ指定部27中のバンクII活性化部に、/BSが出力される。

【0044】バンクI活性化/プリチャージ指定部26中のバンクI活性化部28からは、ラッチ信号がバンクIアドレスラッチコントロール部36と/RTMI部38とに与えられる。一方、バンクII活性化/プリチャージ指定部27中のバンクII活性化部30からは、ラッチ信号が、バンクIアドレスラッチコントロール部37と/RTMII部39とに与えられる。

【0045】バンクI活性化/プリチャージ指定部26中のバンクIプリチャージ部29からは、解除信号がバンクIアドレスラッチコントロール部36とアンドゲート40とに与えられる。一方、バンクII活性化/プリチャージ指定部27中のバンクIIプリチャージ部31からは、解除信号が、バンクIアドレスラッチコントロール部37とアンドゲート40に与えられる。

【0046】バンクI活性化/プリチャージ指定部26から、バンクI回路34には、活性化/プリチャージ信号が出力される。バンクII活性化/プリチャージ指定部27から、バンクII回路35には、活性化/プリチャージ信号が出力される。

【0047】/RTMI部38の出力は、アンドゲート50

41に出力されると共に、バンクI活性化/プリチャージ指定部26中のバンクIプリチャージ部29にプリチャージゲーティング信号として出力される。一方、/RTMI部39の出力は、アンドゲート41に出力されると共に、バンクII活性化/プリチャージ指定部27中のバンクIIプリチャージ部31にプリチャージゲーティング信号として出力される。

【0048】なお、アンドゲート40からは、両バンクプリチャージ信号がセルフリフレッシュ検知部12と、オートリフレッシュ検知部6と、プリチャージ制御部9と、カウンタ7中のカウンタコントロール10とに与えられる。プリチャージ制御部9はこの信号を両バンク強制解除信号として用いる。一方、アンドゲート41からは、/RTM信号が両バンク可ゲーティング信号として、バンク指定検知部20に与えられる。

【0049】図2からも明らかなように、活性化コマンド検知部1、オートリフレッシュ検知部6、セルフリフレッシュ検知部12、プリチャージコマンド検知部18、オートプリチャージバンク検知部23などのコマンド入力部や、ロウアドレスバッファ2、19、オートリフレッシュカウンタ7、セルフリフレッシュカウンタ13は全体で1つだけ存在する。これに対し、各バンク用のバンク活性化/プリチャージ指定部26、27はバンクの数だけ存在している。

【0050】そして、コア部は、バンク活性化/プリチャージ用指定部26、27を指定する信号によりコントロールされる。このコア部は図3のブロック図に示すような構成となる。

【0051】図3において示すように、バンクラッチャアドレス回路42には、アドレスAddとバンク(活性化/プリチャージ)指定信号とが与えられる。アドレスA0、A1はデコード部WDRVmに出力される。アドレスA2~A7はXa回路に、アドレスA8~A10はRSI回路に、BSはKI//II回路に出力される。Xa回路の出力であるXA,B,CはR/D回路とロウスペアデコーダRSDとに出力される。一方、RSI回路の出力は、WPSSWD回路と、EQL回路と、カラムスペア検知回路CSDに出力される。カラムスペア検知回路CSDの出力であるF2~F8、FFはカラムスペア回路CSに与えられる。なお、ロウスペアデコーダRSDの出力は、R/D回路とWPSSWD回路とに出力される。なお、信号発生回路XVLIDは、バンク(活性化/プリチャージ)指定信号に基づき、ワード線を活性化するための信号を発生する。電荷供給回路WKMはワード線用に電荷を供給する回路である。デコード部WDRVmはアドレスA0、A1に基づいて、ワード線をデコードする。センス増幅器/SANとドライバSAPはワード線を読み出すためのものである。信号回路FTDは、センス増幅器/SANにセルアレイをつなぐための信号を発生するものである。電荷供給回路FDRVは、信号

11

回路F T Dに電荷を供給する。そして、E Q回路は信号回路F T Dと、センス増幅器／S ANに、ドライバS A Pとに接続される。

【0052】以上の回路は、全てパンク（活性化／プリチャージ）指定信号から動き始める。

【0053】図4は以上のように構成される半導体メモリ装置の動作を説明するタイミングチャートであり、特にヒデュンロー動作を説明するものである。ちなみに、図は、16MシンクロナスDRAMにおけるアクティブページランダムリードの4ラップモードを示すもので、(A)はクロックCLK、(B)は/C S、(C)は/R AS、(D)は/C AS、(E)は/WE、(F)はADD、(G)はアドレスA 0、(H)はDQM、(I)はCKE、(J)はDQをそれぞれ示すものである。

【0054】図4からも明らかなように、このような動作が行えるようになると、汎用DRAMでは行えなかつた動作ができる。つまり、プリチャージ中にデータを出力したり、異なるパンクを活性化してプリチャージを任意の組み合わせで行うこと等ができる。例えば、異なるパンクを交互に指定すれば、実質的なサイクルタイムを縮めることができる。

【0055】また、汎用品のCASビフォアRASリフレッシュに対応してオートリフレッシュがある。このオートリフレッシュを行うに際しても、汎用品においてオートリフレッシュを行なうときに必要な動作、即ち、リフレッシュ後のプリチャージ指定という動作は必要ない。つまり、リフレッシュ後にプリチャージ指定をわざわざ行

12

わなくとも、リフレッシュ後に自動的にプリチャージを入れればよく、コントロールが簡単に行なえる。

【0056】一方、カウンタテスト時には、モードセットにおいて、プリチャージが自動的に入らないようにしておけばよい。

【0057】また、自動的にリフレッシュを行うセルフリフレッシュモードについては図5に示すとおりである。ちなみに、図5は、16MシンクロナスDRAMにおけるセルフリフレッシュサイクルを示すもので、(A)はクロックCLK、(B)は/C S、(C)は/R AS、(D)は/C AS、(E)は/WE、(F)はBS、(G)はDQM、(H)はCKE、(I)はDQをそれぞれ示すものである。図5にも示すように、クロック1と2の立ち上がりの間が両パンクプリチャージ期間となっており、クロック6の立ち上がりがセルフリフレッシュエントリーとなっている。そして、クロック7の立ち上がりからクロック12の立ち上がりまでの間がセルフリフレッシュサイクルである。続く、クロック12の立ち上がりからクロック22の立ち上がりまでの間が非動作サイクルとなっており、クロック22の立ち上がりがアービタリーサイクルとなっている。

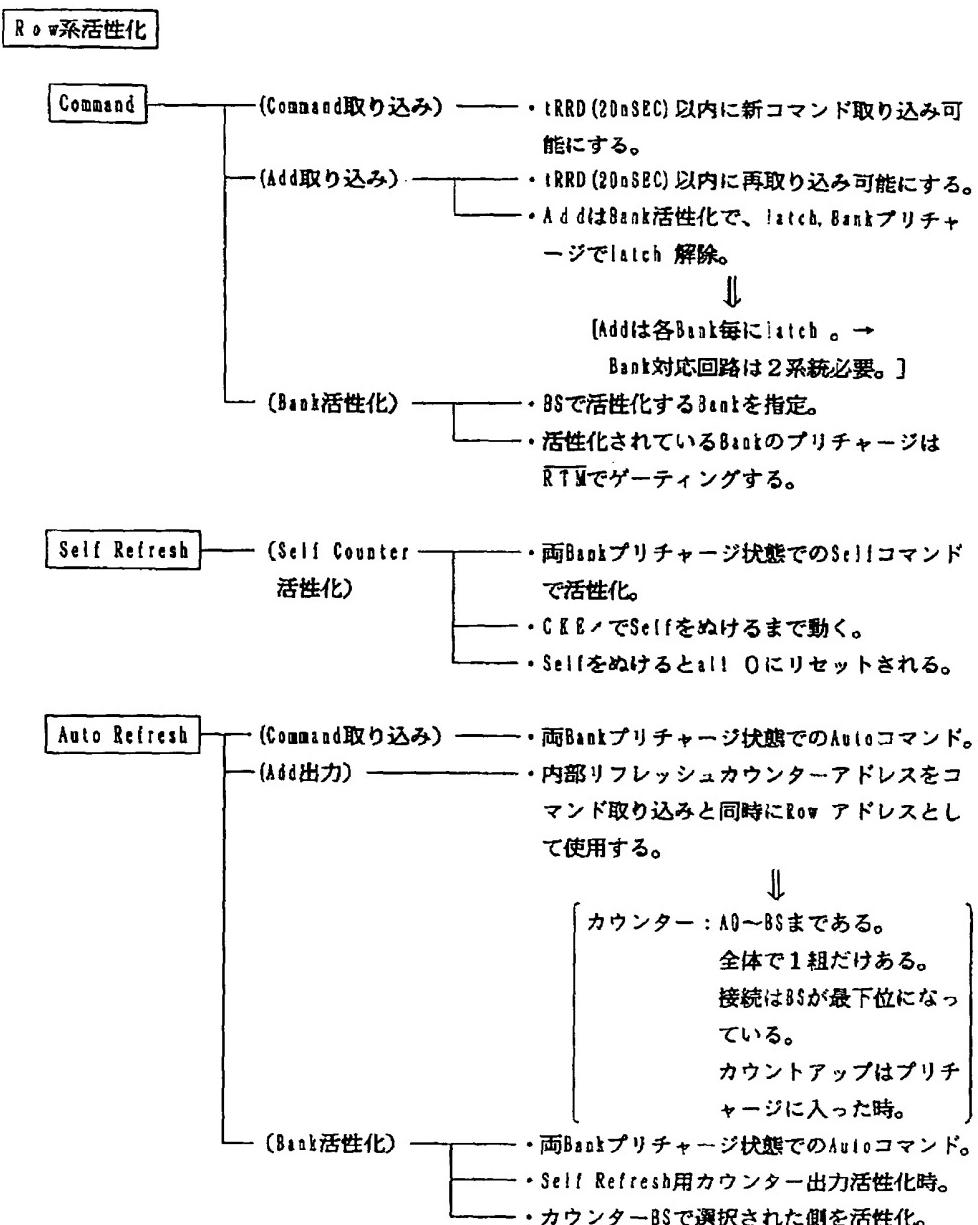
【0058】さて、以上のような動作を行わせるための、アキテクチャーについて説明する。

【0059】まず、ロウ系活性化について表1に基づいて説明する。

【0060】

【表1】

表1 (Row系アーキテクチャ)



まず、半導体メモリ装置のセルアレイを活性化しなくてはならないのは、次の3つの場合がある。第1は、Row系活性化コマンドが入った場合であり、第2はオートリフレッシュに入った場合であり、第3はセルフリフレッシュに入った場合である。

【0061】先ず、Row活性化コマンドが入った場合は、Rowアドレスを取り込み、活性化されたバンク側で取り込みアドレスをラッチする必要がある。これは、各

パンクで異なるアドレスを活性化する場合があり、この場合には各バンクごとにアドレスをラッチする必要があるためである。

【0062】また、一旦活性化されたバンクは、一定期間内はプリチャージコマンドを受けつけないようにする必要がある。これは、活性化されたバンクで、一定期間以内にプリチャージに入ってしまうと、セルデータが破壊されることになるので、これを防ぐためである。

15

【0063】セルフリフレッシュに関しては、オートリフレッシュ用の回路を定期的に活性化するようにしている。

【0064】オートリフレッシュは、内部カウンタを用いて、そのカウンタアドレスに対応するセルをリフレッシュするものである。オートリフレッシュ用カウンタは、オートリフレッシュ後のプリチャージに入った時に、カウントアップされる。

【0065】オートリフレッシュについては、図6に示すとおりである。ちなみに、図3は、16MシンクロナスDRAMにおけるオートリフレッシュサイクルを示すもので、(A)はクロックCLK、(B)は/C.S.

16

(C)は/RAS、(D)は/CAS、(E)は/W E、(F)はアドレスA0、(G)はDQM、(H)はCKE、(I)はDQをそれぞれ示すものである。図にも示すように、クロック0の立ち上がりが、両バンクプリチャージとなっており、クロック4の立ち上がりがオートリフレッシュの開始となっている。そして、クロック14の立ち上がりのアービタリーサイクルまでオートリフレッシュが行われる。

【0066】次に、ロウ系プリチャージについて表2に基づいて説明する。

【0067】
【表2】

表2 (Row系アーキテクチャ)

Row系プリチャージ

Command	(Command取り込み)	・ tRRD(20nSEC)以内に新コマンド取り込み可能にする。
	(Bank指定)	・ A10=L;BSで指定したBank, A10=H: 両バンクプリチャージ。
	(Commandゲーティング)	・ RTMがLになっているBankはプリチャージコマンドを受けつけない。 ・ RTMの一方でもしになってい時は、両Bankプリチャージ指定は受けつけない。
	(Add)	・ プリチャージになったBankのアドレスラッチ解除する。 RTMは各Bankにそれぞれある。
Autoプリチャージ	(Autoプリチャージ指定)	・ カラムコマンドサイクルでのA10=1でAuto指定となる。 ・ WMR=lのCLKノでカラムコマンドサイクルでlatchしたBS側をプリチャージする。(この時、NONCL=1である必要がある。)
	(カラム系活性化)	・ プリチャージ状態にあるBank側はカラム系活性化できないようにしておく。
Auto Refresh	(Autoプリチャージ指定)	・ モードセット時にA1=0でAuto指定となる。
	(カウンターテスト指定)	・ モードセット時にA1=1でAutoプリチャージが入らなくなる。 ・ Sellリフレッシュ時はA1=1であってもAutoプリチャージが入るようにする。
	(Bank指定)	・ カウンターBSの出力で指定される側のBankをプリチャージ。 ・ 各BankのRTM後にプリチャージに入る。

ロウ系プリチャージについても3つの場合がある。1つは、プリチャージコマンドが入った場合、第2は、オートプリチャージに入った場合、第3は、オートリフレッシュに入った場合である。

【0068】まず、プリチャージコマンドが入った場合について説明する。プリチャージコマンドが入るのは、

先にも述べたように、ロウ系活性化後の一定期間後とな

る。プリチャージに入り、アドレスをラッチしている必要がなくなれば、アドレスのラッチを解除して、次のアドレス入力に備える必要がある。このプリチャージゲーティングは、各バンクが別々に活性化された時に、他方のバンクの影響を受けないように、それぞれのバンクに存する必要がある。

【0069】一方、オートリフレッシュ時に、オートブ

19

リチャージが指定されている場合は、リフレッシュ終了後に自動的にプリチャージがなされる。これは、モードセット時に指定を行ことによってなされる。オートリフレッシュの系列は、セルフリフレッシュ時にも使われるが、この場合は、たとえカウンタテスト指定がされていても、リフレッシュ後は自動的にプリチャージを入れる必要がある。

【0070】なお、カラムコマンドサイクルでオートプリチャージ指定を行った場合は、モジュール長アクセス*

*後のCLKの立ち上がりでプリチャージを行う必要がある。

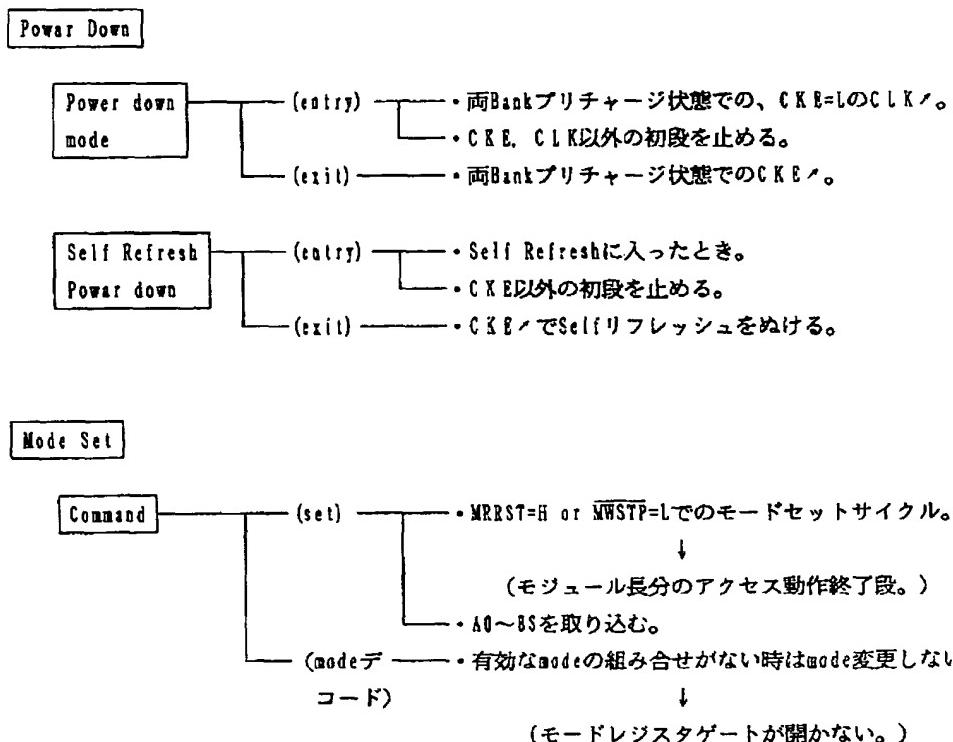
【0071】一方、半導体メモリ装置のデバイスで消費されるパワーを削減するために、パワーダウンモードが用意されている。

【0072】ここで、パワーダウンモードについて、表3にしたがって説明する。

【0073】

【表3】

表3 (Row系アーキテクチャ)



パワーダウンモードについては2つの場合がある。1つはパワーダウンモードを指定した場合であり、他はセルフリフレッシュに入った場合である。

【0074】このパワーダウンモードについては図7に示すとおりである。ちなみに、図7は、16MシンクロナスDRAMにおけるパワーダウンモードを示すもので、(A)はクロックCLK、(B)は/C S、(C)は/R A S、(D)は/C A S、(E)は/WE、(F)はADD、(G)はアドレスA0、(H)はDQ M、(I)はCKE、(J)はDQをそれぞれ示すものである。図にも示すように、クロック9の立ち上がりからクロック17の立ち下がりの間の期間がパワーダウンとなっている。ちなみに、パワーダウンモードへのエンタリーは、tSBと(tSTOP+TPRD) うちの遅い方のタイミングとなる。

【0075】また、モードセットサイクルについて、表3にしたがって説明する。

【0076】モードセットサイクル時はアドレスA0～BSまでのアドレスを取り込み、モードをデコードする。これが、行えるのは、モジュール長分のアクセスを終了した後となる。

【0077】このモードセットサイクルについては図8に示すとおりである。ちなみに、図8は、モードレジスタセットサイクルを示すもので、(A)はクロックCLK、(B)は/C S、(C)は/R A S、(D)は/C A S、(E)は/WE、(F)はアドレスA0～A10、BSをそれぞれ示すものである。図に示すように、/CS、/RAS、/CAS、/WE、アドレスA0～

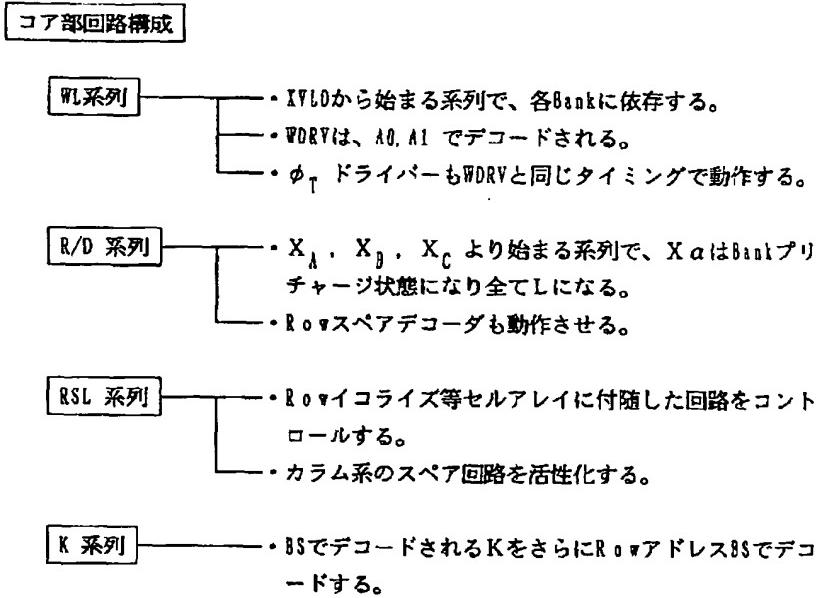
21

22

A 1 0、B S が切り替わってから、時間 t S T U P 経過 *たがって説明する。
 後にモードセットサイクルとなる。これから、時間 t R 【0 0 7 9】
 S C 経過後にアービタリーサイクルとなる。【表4】

【0 0 7 8】次に、コア部回路構成について、表4にし*

表4 (アーキテクチャ)



コア部回路を動作させるものは、ロウデコーダを動作させる系列と、ワード線を動作させる系列と、センス増幅器を選択する系列が存在する。これらの系列は、表中にWL系列、R/D系列、RSL系列、K系列として示してある。

【0 0 8 0】次に、図2、図3に示された構成の各部に

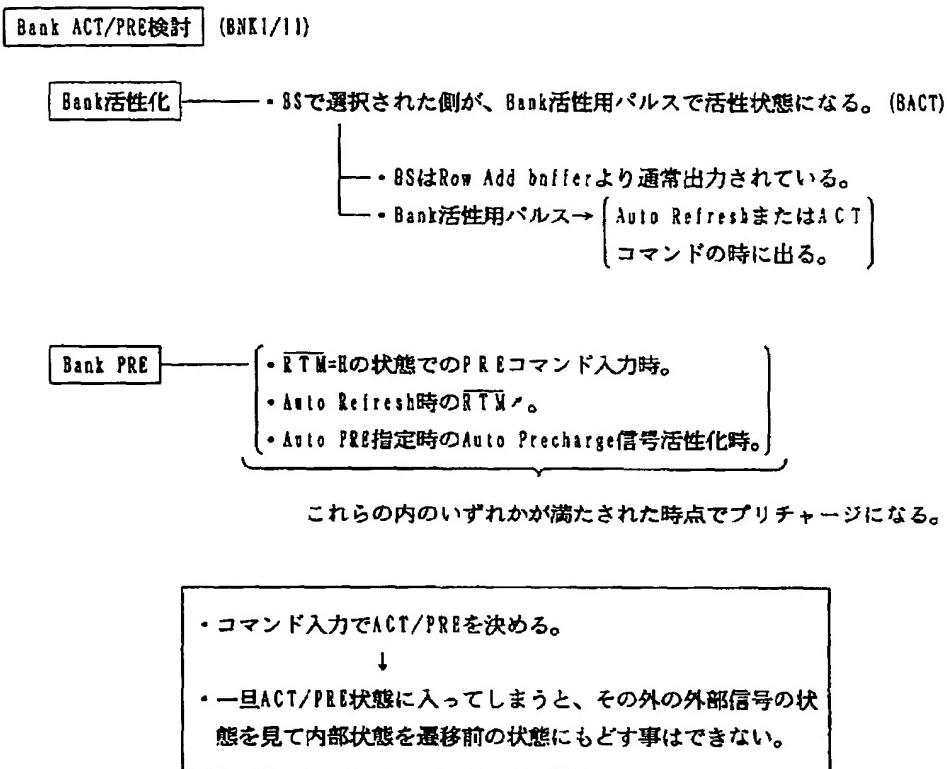
ついて詳細に説明する。

【0 0 8 1】先ず、バンク活性化／プリチャージ検知に関する、表5に従って説明する。

30 【0 0 8 2】

【表5】

表5 (Bank動作)



パンク活性化／プリチャージ指定部26、27はパンク活性用パルスBACTが入力された時に活性化され、このBACTはオートプリチャージまたはパンク活性化コマンドが入力された場合に活性化する。また、パンクはロウプリチャージゲーティング／RTMがハイレベルの状態でのパンクプリチャージコマンド入力時、またはオートリフレッシュ時／RTMの立ち上がり時、またはオートプリチャージ指定時のオートプリチャージ信号活性化時のいずれかの場合にプリチャージになる。

【0083】以上の動作は、図9、図10、図11の回路図に示すような回路を通じて制御される。

【0084】ここで、図9はパンク活性／不活性指定回路であり、ARIBS(ARIBS)信号、BACT信号、/RIMI(/RIMII)、/PREC1(/PRECII)、/AUPEL、/RTMI(/RTMII)、/AUTPI(/AUTPII)に基づいてBNK1(BNKII)並びにBNKF1(BNKFII)を出力するものである。図において、61～64はインバータ、65～67はノアゲート、69～71は NANDゲート、72、73はインバータ、92～94は時定数回路であり、それぞれの論理の組み合わせにより、入力に対

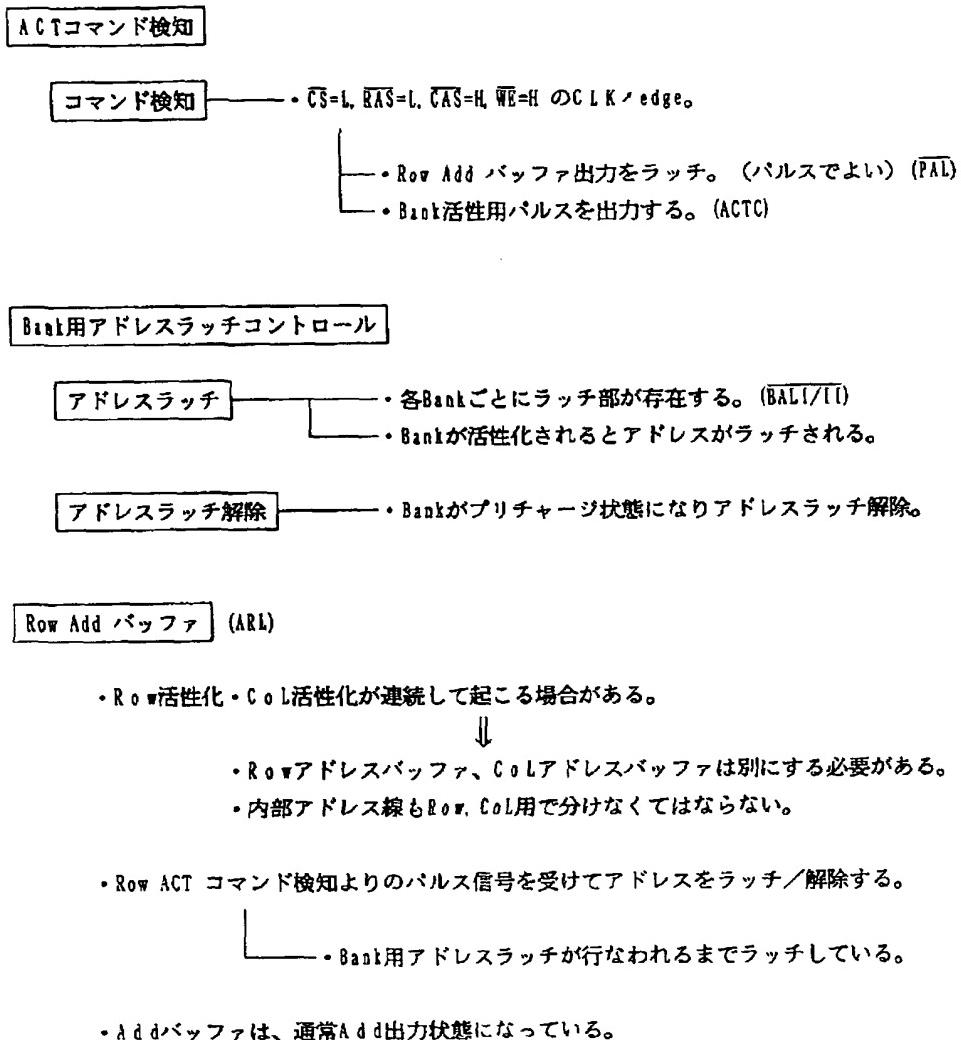
応した出力信号を得ている。
 【0085】また、図10はパンクプリチャージゲーティング回路であり、BNK1(BNKII)に基づいて、/RTMI(/RTMII)を出力するものである。図において示すように、BNK1(BNKII)は、ドレイン同士を抵抗74で結んだPチャンネルMOSトランジスタ75とNチャンネルMOSトランジスタ76のそれぞれのゲートと、 NANDゲート77に入力される。トランジスタ75のドレインは、コンデンサ78を介して接地されるラインを通じて、インバータ79、80の直列回路に入力される。インバータ80の出力は NANDゲート77に与えられる。そして、 NANDゲート77の出力として、/RTMI(/RTMII)を得ている。

【0086】図11はパンク活性化回路であり、ACTC信号とAUTC信号をノアゲート81に入力し、ノアゲート81の出力をインバータ82を介して取り出すことにより、BACT信号を得ている。

【0087】次に、ACTコマンド検知について、表6に基づいて説明する。

【0088】
【表6】

表6 (Bank動作)



パンクアクティブコマンド検知後、パンク活性用パルスを出し、ロウアドレスバッファ出力をラッチする。これらの動作は図12、図13、図14の回路および図1の回路を通じて実行される。

【0089】さて、図12はパンク活性化コマンド検知回路である。図にも示すように、CMLAT信号、/CSIN信号、/RASIN信号、/CASIN信号、/WEIN信号に基づいて、ROWACT信号が出力される。つまり、CMLAT信号と/CSIN信号をノアゲート83を通じて、また/RASIN信号をインバータ84を通じて、/CASIN信号と/WEIN信号を直接に、 NANDゲート85に入力し、NANDゲート85の出力をインバータ86を通じて取り出すことにより、ROWACT信号を得ている。

【0090】図13はパンク活性化コマンドパルス発生回路である。図に示すように、ROWACT信号とCLKIN信号に基づいてACTC信号が発生される。この回路は、 NANDゲート86～88、インバータ89、90、時定数回路95、96により構成される。

【0091】図14はロウアドレスラッチ回路であり、ACTC信号、REFR信号、MSP信号をノアゲート97に入力し、ノアゲート97の出力をインバータ98、99の直列回路を通じて取り出すことにより、/RAL信号を得ている。

【0092】また、各パンク用アドレスは、パンク活性化でラッチされ、パンクプリチャージでラッチ解除される。これは、図15に示すパンク用アドレスラッチ回路を通じて行われる。

27

【0093】図15においてBNK I (BNKII) 信号は、直接ノアゲート100に入力されると共に時定数回路101を通じてノアゲート100に入力される。ノアゲート100の出力はインバータ102、103を通じて/BAL I (BALII) として出力される。ちなみに、時定数回路101は信号出力をBL (ピット線) イコライズまで待たせるためである。

【0094】図16に示されるように、ロウアドレスパッファの出力は、コア部アドレス指定用出力AR i、ブリチャージ指定用出力A10PR、BSPRとして導出される。ちなみに、図16はロウアドレスパッファ回路である。/SEL PD、/STB PDを、 NANDゲート103を通じて、PチャンネルMOSトランジスタ104のゲートに入力する。アドレスA iを、PチャンネルMOSトランジスタ105のゲートと、NチャンネルMOSトランジスタ106、107のゲートとに入力している。トランジスタ105、107のドレインは、インバータ108を通じて取り出される。インバータ108の出力は、トランジスタ107に並列接続されるNチャンネルMOSトランジスタ109のゲートに入力され 20

28

る。インバータ108の出力はクロックドインバータ110、111に入力される。一方、リフレッシュカウンタからのRAJはクロックドインバータ112に入力される。ちなみに、クロックドインバータ110は/PBL信号によりクロックド動作し、クロックドインバータ111は/RAL信号によりクロックド動作し、クロックドインバータ112はRFADD信号によりクロックド動作する。クロックドインバータ110の出力は、インバータ113、114を通じる経路と直接の経路とを経て、インバータ117に入力され、A10PR、BSPR出力を得る。また、クロックドインバータ111、112の出力は、インバータ115、116を通じる経路と直接の経路とを経て、インバータ118に入力され、AR i出力を得る。ちなみに、クロックド110を含む系は、A10とBSを含む系にのみ存在する。

【0095】次に、オートリフレッシュ検知について、表7に基づいて説明する。

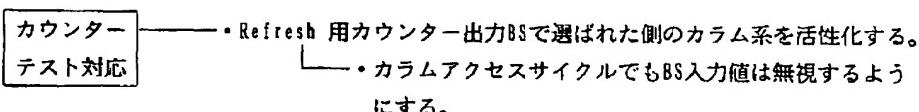
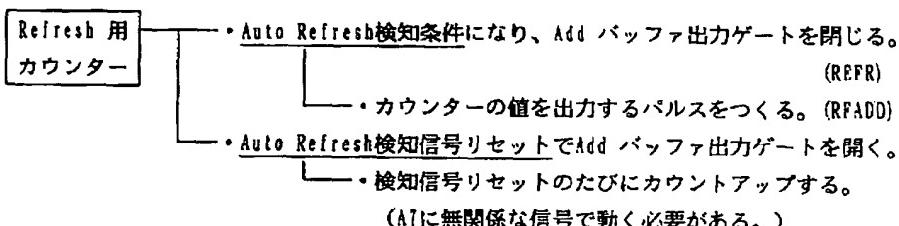
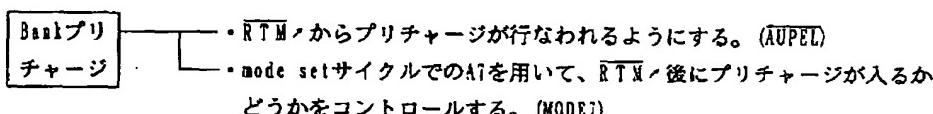
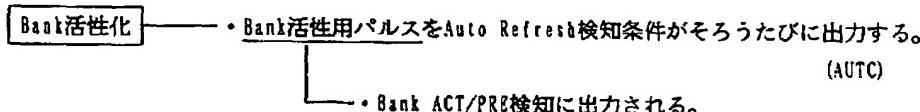
【0096】

【表7】

表7 (Bank動作)

Auto Refresh検討

- $\overline{CS} = L, \overline{RAS} = L, \overline{CAS} = L, \overline{WE} = H, \overline{CKE} = H$ } での CLK / edge。
両 Bank プリチャージ状態 } } Auto Refresh 検知信号活性化。
(AUTRF)
- Self Refresh タイミングカウンター活性化時。 (SLRTP) }
- Auto Refresh 後に両 Bank プリチャージ状態になった時。 —— Auto Refresh 検知信号リセット。



↑
 カウンター出力するまでどちら側が活性化されている
 か不満なため、そちら側を Col Add で選択する事は不
 可能なため。

オートリフレッシュ検知信号は、オートリフレッシュコマンド入力時およびセルリフレッシュ周期指定用カウンタ活性時に、活性化される。オートリフレッシュ検知信号が活性化されると、バンク活性化がなされる。オートリフレッシュ時はリフレッシュカウンタ出力を用いるため、アドレスバッファ出力は止められる。また、オートプリチャージ指定されている時は、/RTM信号の立ち上がりによりプリチャージが始まる。また、カウンタテスト時は、内部で活性化されたバンクがどちら側であるのかが不明であるために、カウンタによって活性化された側を自動的にカラムアクティブ状態にする。

40 【0097】以上の動作は、図17～図25の回路によって実現される。

【0098】図17はオートリフレッシュコマンド検知回路である。CMLAT信号、/CSIN信号、/RASIN信号をノアゲート119を通じて、/CASIN信号をインバータ120を通じて、/WEIN信号、CKEIN信号を直接、それぞれ NAND ゲート121に入力することにより、出力として /ARC 信号を得ている。

【0099】図18は両バンクプリチャージ検知回路であり、/BALI 信号と /BALII 信号を NAND ゲート

31

122に入力することにより、出力として／BAL信号を得ている。

【0100】図19はオートリフレッシュ指定回路であり、／ARC信号と／BAL信号をノアゲート123に、CLKIN信号を時定数回路124と NANDゲート126に、／BAL信号をインバータ127、／SLF TP信号を NANDゲート131にそれぞれ入力している。ノアゲート123の出力は NANDゲート126に接続され、時定数回路124の出力はインバータ125を通じて NANDゲート126に接続され、NANDゲート126の出力は NANDゲート131に接続される。一方、インバータ127の出力は NANDゲート130と時定数回路128に与えられるが、時定数回路128の出力はインバータ129を通じて NANDゲート130に与えられる。NANDゲート130の出力は NANDゲート132に与えられる。NANDゲート131の出力は NANDゲート132の入力に、NANDゲート132の出力は NANDゲート131の入力にそれぞれ接続される。NANDゲート131の出力は AUTRF信号として導出される。一方、NANDゲート131の出力はインバータ133を通じて、／AUTRF信号として出力される。

【0101】図20はリフレッシュ状態検知回路である。／AUTRF信号と／SLFRF信号を NANDゲート134に入力することにより、REFR信号を得ている。

【0102】図21はオートリフレッシュプリチャージ指定回路である。AUTRF信号を直接、MODE7信号をインバータ135を通じて、それぞれ NANDゲート136に入力することにより、／AUPEL信号を得ている。

【0103】図22はリフレッシュアドレスゲート回路である。／AUTRF信号を時定数回路137とインバータ138を通じてノアゲート139に入力すると共に、／AUTRF信号を直接ノアゲート139に入力する。ノアゲート139の出力をインバータ140を通じて取り出すことにより、／RFADD信号を得ている。また、インバータ140の出力をインバータ141を通じて反転することにより、RFADD信号を得ている。

【0104】図23はリフレッシュアクティブパンク回路である。／RFADD信号を時定数回路142とインバータ143を通じて NANDゲート144に入力すると共に、／RFADD信号を直接 NANDゲート144に入力する。NANDゲート144の出力をインバータ145を通じて取り出すことにより、AUTC信号を得ている。

【0105】図24はカウンタテスト対応カラム系選択回路である。図において示すように、／BSCl信号と

32

BNK I信号は、 NANDゲート146を通じて、 NANDゲート149に入力される。／AUTRF信号は、インバータ147を通じて、 NANDゲート148に入力される。MODE7信号とBNK I信号は、 NANDゲート148に入力される。NANDゲート148の出力は NANDゲート149に入力される。NANDゲート149の出力として CLS I信号を得る。一方、 BSCl信号とBNK II信号は、 NANDゲート150を通じて、 NANDゲート153に入力される。／AUTRF信号は、インバータ151を通じて、 NANDゲート152に入力される。MODE7信号とBNK II信号は、 NANDゲート152に入力される。NANDゲート152の出力は NANDゲート153に入力される。NANDゲート153の出力として CLS II信号を得る。

【0106】図25はリフレッシュカウンタ回路である。図において示すように、／AUTRFは、インバータ154、155を介して入力され、時定数回路156と NANDゲート157に与えられる。時定数回路156の出力は、インバータ160を通じて、 NANDゲート157に与えられる。NANDゲート157の出力は、インバータ158を通じて、 CT信号として取り出される。CT信号は、インバータ159を通じて、／CT信号とされる。ちなみに、時定数回路156は RBS信号が反転する長さに設定される。

【0107】Rj信号はインバータ162の出力として取り出される。インバータ162の出力は、クロックドインバータ166に接続されると共に、クロックドインバータ161を通じてインバータ162の入力側に戻される。クロックドインバータ166の出力は、インバータ163とクロックドインバータ165に接続される。インバータ163の出力は、クロックドインバータ164を通じて、インバータ163の入力側に戻される。クロックドインバータ165の出力はインバータ162に与えられる。ちなみに、クロックドインバータ161、166は(Rj-1)によりゲート動作し、クロックドインバータ164、165は(Rj-1)によりゲート動作する。なお、RBS-1は CTに対応するものであり、／(RBS-1)は／CTに対応するものである。

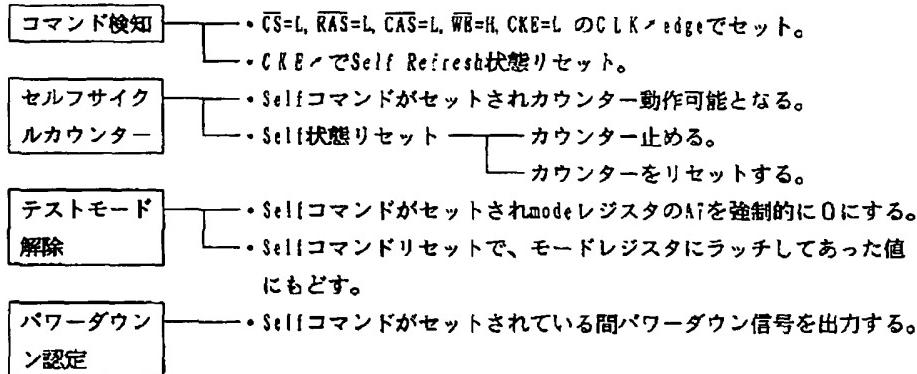
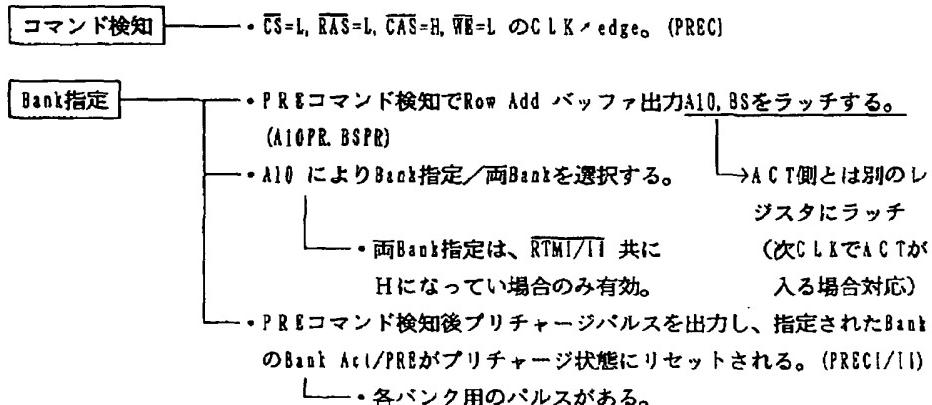
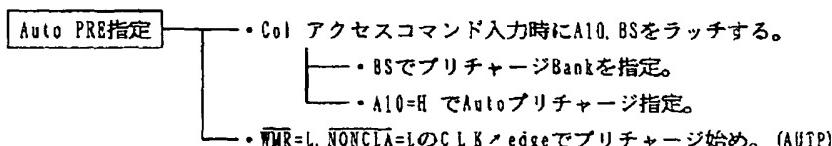
【0108】CTは図25に示すように、BS段、0段目、1段目～10段目と接続されるカウンタのBS段に与えられる。

【0109】次に、表8にしたがって、セルフリフレッシュ検知、プリチャージコマンド検知、オートプリチャージパンク検知について説明する。

【0110】

【表8】

表8 (Bank動作)

Self Refresh検知 (SLFTP)**プリチャージコマンド検知****Auto PRE Bank 検知**

セルフリフレッシュは、リフレッシュ周期をカウンタを用いて作り出し、その周期毎にオートリフレッシュを行うことにより実現する。これらを実現するために、図26～図29の回路が用いられる。

【0111】図26はセルフリフレッシュコマンド検知回路である。図において示すように、CMLAT信号、

/CSIN信号、/RASINは、ノアゲート167を通じて、 NANDゲート170に入力される。一方、/CASIN信号はインバータ168を通じて、/WEIN信号は直接、CKEIN信号はインバータ169を通じて、NANDゲート170に入力される。そして、NANDゲート170の出力として、/SRC信号を得る。

【0112】図27はセルフリフレッシュ指定回路である。図において示すように、/SRC信号と/BAL信号は、ノアゲート171に入力される。CLKINは、時定数回路172と NANDゲート174に入力される。CKE信号は、時定数回路176とノアゲート178に入力される。時定数回路172の出力は、インバータ173を通じて、NANDゲート174に入力される。時定数回路176の出力は、インバータ177を通じて、NANDゲート178に入力される。ノアゲート171の出力は、NANDゲート174に与えられる。NANDゲート174の出力はNANDゲート175に、NANDゲート178の出力はNANDゲート179の出力に、それぞれ、与えられる。また、NANDゲート175の出力はNANDゲート179の入力に、NANDゲート179の出力はNANDゲート175の入力に、それぞれ、接続される。そして、NANDゲート175の出力としてSLFRF信号を得ることができる。また、この信号を、インバータ180で反転して、/SLFRF信号を得ることができる。

【0113】図28はセルフリフレッシュタイミングパルス回路である。図において示すように、SLFRF信号は、時定数回路181とNANDゲート183に与えられる。時定数回路181の出力は、インバータ182を通じて、NANDゲート183に入力される。NANDゲート183の出力はNANDゲート184に与えられる。NANDゲート184には他に/SRFP信号が入力されている。NANDゲート184の出力は、インバータ185を介して、/SLFTP信号として出力される。

【0114】図29はセルフ強制プリチャージ指定回路である。図において示すように、CTEST信号と/SLFRF信号は、NANDゲート186に入力され、インバータ187を通じてMODE7信号として取り出される。

【0115】プリチャージコマンド入力により指定されたバンクをプリチャージするが、この時、バンク指定を行うA10、BSをラッチする部分は活性化側とは別の部分にする必要がある。これは、次のCLKで活性化コマンドが入る場合に対応するためである。この動作に対しては図30～33の回路で対応する。

【0116】図30はプリチャージコマンド検知回路である。図において示すように、/WEIN信号とCMLAT信号は、ノアゲート188に入力される。/CSI N信号、/RASIN信号、/CASIN信号は、ノアゲート188の出力と共に、NANDゲート189に入力される。NANDゲート189の出力は、インバータ190を通じて、ROWPRE信号として取り出される。

【0117】図31はプリチャージバンク検知回路である。図において示すように、A10PR信号と/RTM信号はNANDゲート191に、A10PR信号とBSPR信号はオアゲート192にそれぞれ入力される。ナン

ドゲート191の出力とオアゲート192の出力は NANDゲート193に与えられる。NANDゲート193の出力としてBPENLI信号を得る。また、A10PR信号と/RTM信号はNANDゲート194に、A10PR信号と/BSPR信号はオアゲート195にそれぞれ入力される。NANDゲート194の出力とオアゲート195の出力はNANDゲート196に与えられる。NANDゲート196の出力としてBPENLII信号を得る。

【0118】図32はバンクプリチャージコマンドパルス回路である。図において示すように、ROWPRE信号はNANDゲート199に与えられ、CLKIN信号はNANDゲート199と時定数回路197に入力される。時定数回路197の出力は、インバータ198を通じて、NANDゲート199に入力される。NANDゲート199の出力はNANDゲート200に入力される。NANDゲート200の出力はNANDゲート203に入力される。一方、NANDゲート203の出力はNANDゲート200に入力される。一方、NANDゲート200の出力は、時定数回路201とインバータ202の直列回路を経て、NANDゲート203に入力される。そして、NANDゲート200の出力としてPREC信号を得る。また、この信号をインバータ204で反転して/PREC信号を得る。

【0119】図33はバンクプリチャージ回路である。図において示すように、PREC信号とBPENLI信号は、NANDゲート205を通じて、/PREC1信号として出力される。一方、PREC信号とBPENLII信号は、NANDゲート206を通じて、/PRECII信号として出力される。

【0120】また、カラムアクセスモード時のオートプリチャージについては、図34、図35の回路で対応する。

【0121】図34はオートプリチャージ検知回路である。図において示すように、/NONCLA信号と/WMR信号はノアゲート207に与えられ、A10PR信号とCLKIN信号はNANDゲート209に与えられる。ノアゲート207の出力はノアゲート212に入力され、NANDゲート209の出力はノアゲート212と時定数回路210に入力される。時定数回路210の出力は、インバータ211を介して、ノアゲート212に与えられる。その結果、ノアゲート212の出力としてAUTPを得ることができる。

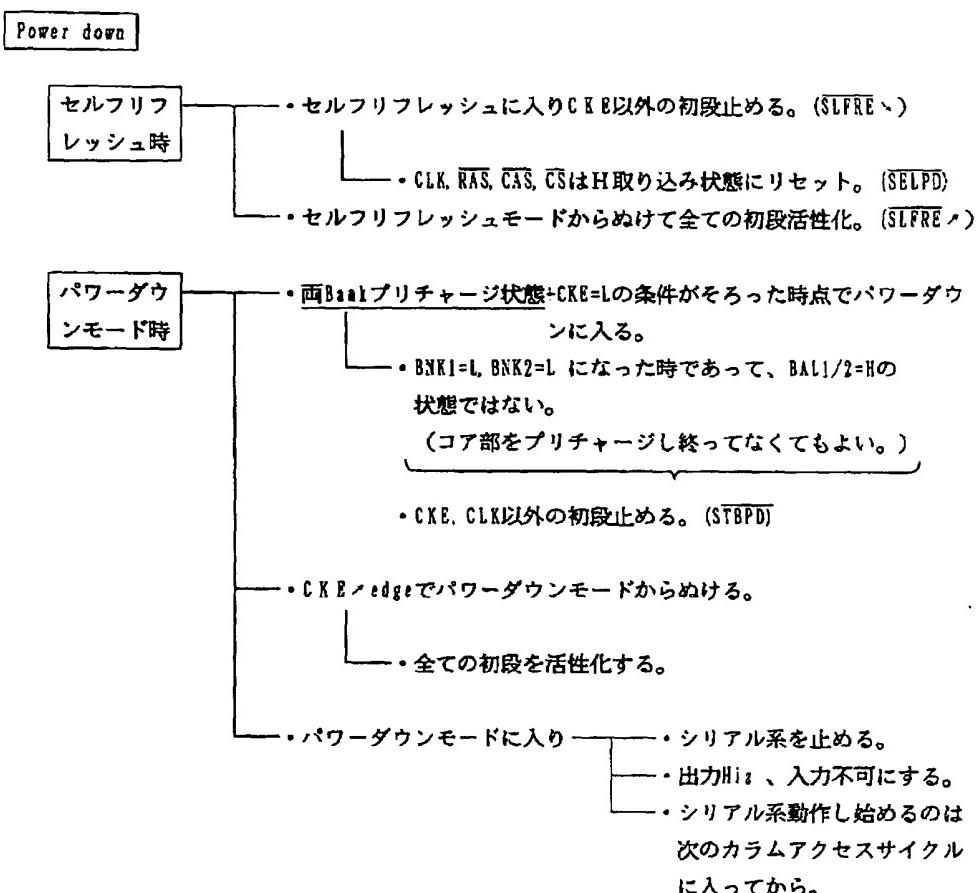
【0122】図35はオートプリチャージバンク指定回路である。図において示すように、AUTP信号と/BSCL信号をNANDゲート213に与えることにより/AUTPIを得ている。AUTP信号とBSCL信号をNANDゲート214に与えることにより/AUTPII信号を得ている。

【0123】次に、表9に基づいてパワーダウンモードについて説明する。

【0124】

* * 【表9】

表9 (パワーダウン)



パワーダウンモード指定は、全パンクがプリチャージ状態にあり、かつCKEがロウレベルである場合に行われる。このモードに入ると、外部信号入力段シミュミットトリガを止める。ただし、CKE・CLKは止めない。また、セルフリフレッシュに入り、CKE信号以外の全ての入力段が止まる。このような動作は図36の構成を通じて行われる。

【0125】図36(A)はパワーダウン対応回路であり、(B)はパワーダウン信号の行き先の説明図である。さて、同図(A)において示すように、/SFLRF信号は、インバータ215、216の直列回路を経て、/SELPD信号として出力される。一方、BNK1信号、BNKII信号、CKEIN信号は、ノアゲート217に入力される。また、CLKIN信号は時定数回路218とノアゲート222に入力される。そして、CKEIN信号は時定数回路219と NANDゲート223に入力される。ノアゲート217の出力は NANDゲート222に入力され、時定数回路218の出力はインバー

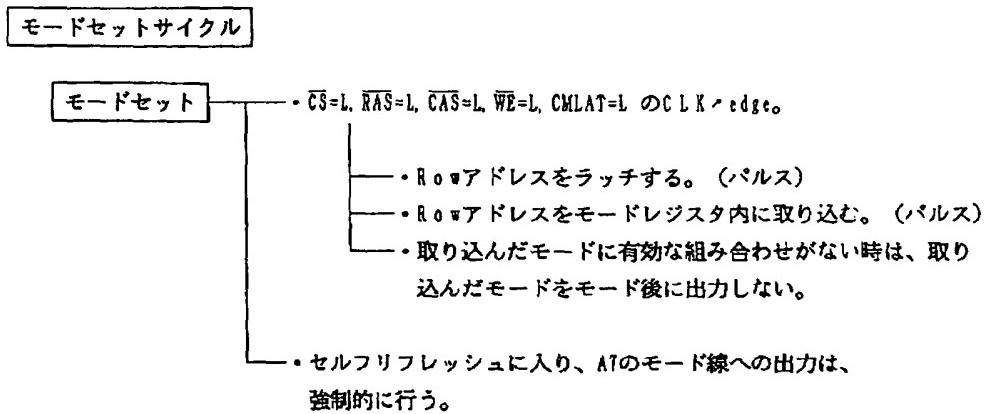
タ220を通じて NANDゲート222に入力される。一方、時定数回路219の出力はインバータ221を通じて NANDゲート223に入力される。NANDゲート222の出力は NANDゲート224に、NANDゲート223の出力は NANDゲート225にそれぞれ出力される。NANDゲート224の出力は NANDゲート225の入力に、NANDゲート225の出力は NANDゲート224の入力にそれぞれ接続される。NANDゲート224の出力はインバータ226、227、228の直列回路を経て/STBPDとして出力される。

【0126】なお、パワーダウン信号である/SELPD信号と/S TBPD信号の行き先は図36(B)に示すとおりである。

【0127】次に、モードレジスタセットサイクルについて表10、表11に基づいて説明する。

【0128】
【表10】

表10 (モードレジスタセット)



モードセットサイクルでのアドレス A0～BS によりシンクロナス DRAM の動作モードを指定する。動作モードは表11に示す通りである。

【0129】

20

【表11】

41

表11 (モードレジスタセット)

(A)

(modulo length)

A ₂	A ₁	A ₀	modulo length	出力
0	0	0	1	ML1
0	0	1	2	ML2
0	1	0	4	ML4
0	1	1	8	ML8
1	1	1	Page	MLP

(B)

(Scramble)

A ₃	Scramble	出力
0	WRAP	NRAP
1	INTER	INTRR

(C)

(latency)

A ₆	A ₅	A ₄	latency
0	1	0	2
0	1	1	3
1	0	0	4

(D)

(test mode)

A ₇	TEST	出力
0	不可	CTEST
1	可能	

(E)

(mode change)

BS	A ₁₀	A ₉	A ₈	モード変更	出力
0	0	0	0	可能	OHVAL
その他				不可	

表11において、(A)はモジュロレンジスモード、(B)はスクランブルモード、(C)はレイテンシモード、(D)はテストモード、(E)はモードチェンジモードをそれぞれ示している。

【0130】動作モードとして取り込んだアドレスはモード用レジスタにラッチされる。ただし、このときにおいて、カウンタテスト指定はセルフリフレッシュ時には強制的にオートプリチャージ指定に変わらる必要がある。

42

図37～図44はこのための回路を示すものである。

【0131】図37はモード変更検知回路である。図において示すように、/MWSTP信号はインバータ229を介して、MR_RST信号は直接、ノアゲート230にそれぞれ入力される。/WEINはノアゲート231に、/RASIN信号と/CASIN信号はノアゲート232に、/CSIN信号とCMILAT信号はノアゲート233に、それぞれ入力される。 NANDゲート230の出力はノアゲート231に入力される。ノアゲート231、232、233の各出力は NANDゲート234に与えられ、NANDゲート234の出力はインバータ235を通じてMSET信号として出力される。

【0132】図38はモード用アドレス取り込み回路である。図において示すように、MSET信号は NANDゲート238に入力され、CLKIN信号は NANDゲート238と時定数回路236に入力される。時定数回路236の出力は、インバータ237を通じて、NANDゲート238に入力される。 NANDゲート238の出力は NANDゲート239に入力される。 NANDゲート239の出力は NANDゲート240に入力される。時定数回路240の出力は、インバータ241を通じて、NANDゲート242に入力される。 NANDゲート242の出力は NANDゲート239に与えられる。 NANDゲート239の出力は MSP信号として出力される。 NANDゲート239の出力は、インバータ243、244を通じて、MDIN信号として出力される。

【0133】図39はモード変更パルス回路である。図において示すように、/MCHEL信号とMDIN信号はノアゲート245に与えられる。ノアゲート245の出力は NANDゲート248と時定数回路246に与えられる。時定数回路246の出力はインバータ247を介して NANDゲート248に与えられる。 NANDゲート248の出力はインバータ249を介して MCH信号として導出される。

【0134】図40はモジュール長デコーダ回路である。図において示すように、R0、R1、R2信号は NANDゲート250に入力される。 NANDゲート250の出力は /MLCP信号として導出される。一方、 NANDゲート250の出力は、クロックドインバータ251を通じて、インバータ252、254に与えられる。インバータ252の出力はインバータ253を通じてインバータ254に与えられる。クロックドインバータ251は MCH信号によりゲート制御される。インバータ254の出力は、インバータ255を通じて MLP信号として出力される。また、R0、R1、R2信号は NANDゲート256に入力される。 NANDゲート256の出力は /MLC1～/MLC8として出力される。一方、 NANDゲート256の出力はクロックドインバータ257を通じて、ML1～ML8として出力される。ちなみに、クロックドインバータ257の出力は、インバータ

258、259の直列回路を通じて、自己保持される。また、/MLC1、/MLC2、/MLC4、/MLC8、/MLCPは NANDゲート260に入力され、MLVAL信号を得る。ちなみに、クロックドインバータ251、257はMCH信号によりゲート制御される。

【0135】図41はスクランブルデコーダ回路である。図において示すように、R3信号はクロックドインバータ261、インバータ264の直列回路を経てINTER信号として導出される。なお、クロックドインバータ261の出力はインバータ262、263の直列回路を経て自己保持される。なお、WRAPはその行き先でインバータを通す。ちなみに、クロックドインバータ261はMCH信号によりゲート制御される。

【0136】図42はレイテンシデコーダ回路である。図において示すように、R4、R5、R6信号はNANDゲート265に与えられる。NANDゲート265の出力は/LAC2～/LAC4として出力される。NANDゲート265の出力は、クロックドインバータ266を介して、LACY2～LACY4信号として出力される。ちなみに、クロックドインバータ266の出力はインバータ267、268の直列回路により自己保持される。また、/LAC2、/LAC3、/LAC4はNANDゲート269に与えられ、NANDゲート269の出力としてLAVAL信号を得る。ちなみに、クロックドインバータ266はMCH信号によりゲート制御される。

【0137】図43はテストモードデコード回路である。図において示すように、R7信号はクロックドインバータ270とインバータ273を経てCTEST信号として出力される。クロックドインバータ270の出力はインバータ271、272の直列回路を経て自己保持される。ちなみに、クロックドインバータ270はMCH信号によりゲート制御される。

【0138】図44はモード変更可検知回路である。図において示すように、R8、R9、R10、RBS信号はノアゲート274に入力され、ノアゲート274の出力としてOHVAL信号を得ている。また、MLP信号とINTER信号はNANDゲート275に入力される。NANDゲート275の出力と、MLVAL信号、LAVAL信号、LHVAL信号は、NANDゲート276に与えられる。NANDゲート276の出力は/MCHEL信号として導出される。

【0139】シンクロナスDRAMは、汎用DRAMと異なり、カラム系に対してロウ系からのTRCDギーティングをかけるのは難しい。これは、仕様上の制約によるものである。したがって、カラム系においてコアへのアクセスが始まる前に、確実にピット線のセンスを終えていなくてはならない。このため、ロウ系の活性化を少しでも早く始める必要がある。

【0140】本発明では、アドレスはコア回路部まで常に入力しており、バンク活性化時にBSで指定された側

が自動的に活性化され、これに伴い直ちにコア回路が活性化するようしている。これにより、コア部での動作マージンが増している。つまり、プリチャージ状態にある時は、アドレスはアドレスラッチ部にまで入力しており、バンク活性化と共にアドレスラッチと指定バンク側コア回路活性化が同時に行われる。コア部回路は図45～図52に示すとおりである。

【0141】ちなみに、コア部のアドレスは図56のアドレス対応図に示すとおりである。図においては、1M word X2 Bank X8 bit の構成で、4kリフレッシュのシンクロナスDRAMの場合を例示するものである。

【0142】図45はロウパーシャルデコーダ回路であり、同図(A)は回路図、(B)はXAjに対応するAR3、AR2の論理表、(C)はXBjに対応するAR5、AR4の論理表、(D)はXCjに対応するAR7、AR6の論理表である。同図に示すように、BNK1/II信号と、AR1/II2信号と、AR1/II3信号は、NANDゲート277に、入力される。NANDゲート277の出力は、インバータ280、283、286の直列回路を経て、XI/IIAJ信号として出力される。また、BNK1/II信号と、AR1/II4信号と、AR1/II5信号とは、NANDゲート278に、入力される。NANDゲート278の出力は、インバータ281、284、287の直列回路を経て、XI/IIBj信号として出力される。さらに、BNK1/II信号と、AR1/II6信号と、AR1/II7信号とは、NANDゲート279に、入力される。NANDゲート279の出力は、インバータ282、285、288の直列回路を経て、XI/IICj信号として出力される。このような構成を通じて、同図(B)、(C)、(D)に示すようなデコード結果が得られる。

【0143】図46はワードライン(WL)デコーダ回路であり、同図(A)は回路図、(B)はWSjに対応するAR1とAR0の論理表である。同図に示すように、BNK1/II信号、AR1/II0信号、AR1/II1信号はNANDゲート289に入力され、NANDゲート289の出力はインバータ290を通じてWSI/IIj信号として出力される。このような構成を通じて、同図(B)に示すようなデコード結果が得られる。

【0144】図47はロウロックセレクタ回路であり、同図(A)は回路図、(B)はjに対応するAR10、AR9、AR8の論理表である。同図に示すように、BNK1/II、AR1/II8、AR1/II9、AR1/II10の各信号はNANDゲート291に入力される。NANDゲート291の出力はインバータ292、293の直列回路を経て/RSLI/IIj信号として出力される。一方、/RSLI/IIj信号は、インバータ294を通じて、RSLI/IIj信号として出力される。なお、/RSLI/IIj信号を発生する回路はコア部の

45

周辺部に配置され、RSLI/IIj信号を発生する回路はコア部に配置される。このような構成を通じて、同図(B)に示すようなセレクト結果を得る。

【0145】図48はワードライン(WL)活性化コントロール回路である。同図に示すように、BNKFI(BNKFI)信号は、PチャンネルMOSトランジスタ341のゲートとNチャンネルMOSトランジスタ342のゲートにそれぞれ与えられる。また、XIA0(XIIA0)は、PチャンネルMOSトランジスタ297のゲートとNチャンネルMOSトランジスタ343のゲートにそれぞれ入力される。同様に、XIA1(XIIA1)はPチャンネルMOSトランジスタ298のゲートとNチャンネルMOSトランジスタ344の各ゲートに、XIA2(XIIA2)は、PチャンネルMOSトランジスタ299のゲートとNチャンネルMOSトランジスタ295のゲートに、XIA3(XIIA3)はPチャンネルMOSトランジスタ300のゲートとNチャンネルMOSトランジスタ296の各ゲートに、それぞれ入力される。トランジスタ341のドレインは、トランジスタ297、301のドレインと、トランジスタ343、344、295、296のドレインと、インバータ302にそれぞれ接続される。一方、トランジスタ342のドレインは、トランジスタ343、344、295、296の各ソースに接続される。そして、トランジスタ297のソースはトランジスタ298のドレインに、トランジスタ298のソースはトランジスタ299のドレインに、トランジスタ299のソースはトランジスタ300のドレインに、それぞれ接続される。トランジスタ300のドレインは電源電位に接続される。トランジスタ341、301のソースも電源電位に接続される。インバータ302の出力はトランジスタ301のゲートに接続される。このような構成を通じて、インバータ302の出力にXVLDI(XVLDII)信号を得る。

【0146】図49はワードライン(WL)ドライバデコーダ回路である。図において示すように、WKMII(WKMI)信号はPチャンネルMOSトランジスタ303、304、305のソースとバックゲートに接続される。また、XVLDI(XVLDII)信号とWSIj(WSIIj)信号は、 NANDゲート312を通じて、NチャンネルMOSトランジスタ306のゲートに入力される。NANDゲート312の出力は、インバータ311を介して、NチャンネルMOSトランジスタ308のゲートに入力される。また、BNKFI(BNKFI)信号はNチャンネルMOSトランジスタ307、310のゲートに入力される。トランジスタ306のドレインは、トランジスタ307、308のドレイン、トランジスタ304のゲートにそれぞれ接続される。また、トランジスタ308のドレインは、トランジスタ303のゲート、トランジスタ304のドレイン、NチャンネルM

46

OSトランジスタ309のゲートと、トランジスタ305のゲートにそれぞれ接続される。トランジスタ305、309のドレインは、トランジスタ310のドレンに接続される。ここからWDRVjI(WDRVjI)信号が出力される。

【0147】図50はコア部プリチャージ回路である。図において示すように、BNKI/II信号とWDOWNI/II信号はノアゲート313に入力される。ノアゲート313の出力はインバータ314を通じてEQS信号として出力され、更にインバータ315を通じてPRCHI/II信号として出力され、更にインバータ316を経てPRCHI/II信号として出力される。

【0148】図51はワードライン(WL)ブースト回路である。図において示すように、XVLDI/II信号は、インバータ317、318、319、320の直列回路を経て、コンデンサ321に与えられる。併せて、XVLDI/II信号はノアゲート323と時定数回路322に入力される。時定数回路322の出力はノアゲート323に与えられる。ノアゲート323の出力はPチャンネルMOSトランジスタ324、NチャンネルMOSトランジスタ325のゲートに与えられる。トランジスタ324、325はコンプリメンタリ接続されており、それぞれのドレインはPチャンネルMOSトランジスタ326のゲートに接続される。トランジスタ326のソースは電源電位に接続される。また、コンデンサ321の他端側と、トランジスタ324及びソースとバックゲートと、トランジスタ326及びドレインとバックゲートとは、共通接続され、ここからWKMII/II信号が得られる。

【0149】図52はセンス増幅器ゲートドライバ回路である。図において示すように、/WDOWNI/II信号は、インバータ327、328、329の直列回路を経て、ノアゲート330とインバータ335に入力される。一方、XVLDI/IIはノアゲート330、337に入力される。インバータ335の出力は、インバータ336を通じて、ノアゲート337に入力される。ノアゲート330の出力は、インバータ331、332、333を経て、コンデンサ334に入力される。一方、ノアゲート337の出力はPチャンネルMOSトランジスタ338、NチャンネルMOSトランジスタ339のゲートに与えられる。トランジスタ338、339はコンプリメンタリ接続されており、それぞれのドレインはPチャンネルMOSトランジスタ340のゲートに接続される。トランジスタ340のソースは電源電位に接続される。また、コンデンサ334の他端側と、トランジスタ338のソース及びバックゲートと、トランジスタ340のドレインとバックゲートとは、共通接続され、ここからFDRVII信号が得られる。

【0150】また、アドレスラッチ部は図53、54に示すような回路で実現される。

47

【0151】図53はバンク用アドレスラッチ回路である。図において示すように、AR*i*信号は、クロックドインバータ345を通じて、/AR*i*信号として出力される。この信号はインバータ348を通じてAR*i*信号として出力される。なお、クロックドインバータ345の出力側には、インバータ346、347の直列回路からなる自己保持回路が接続される。また、クロックドインバータ345には、/BAL*i*信号が、ゲート信号として与えられる。一方、AR*i*信号は、クロックドインバータ349を通じて、/AR*II**i*信号として出力される。この信号はインバータ352を通じてAR*II**i*信号として出力される。なお、クロックドインバータ349の出力側には、インバータ350、351の直列回路からなる自己保持回路が接続される。クロックドインバータ349には/BAL*II*信号がゲート信号として与えられる。

【0152】図54はモード用アドレスラッチ回路である。図において示すように、AR*i*信号は、クロックドインバータ353を通じて、/R*i*信号として出力される。この信号は、インバータ356を通じて、R*i*信号として出力される。なお、クロックドインバータ353の出力側には、インバータ354、355の直列回路からなる自己保持回路が接続される。クロックドインバータ353にはMD*i*N信号がゲート信号として与えられる。

【0153】なお、カラムスペアアドレスは、ロウ系活性化時に選択したコアブロックに対応するアドレスが確定した時点で、出力される。

【0154】図55は、A10Rの論理“0”、“1”に対応してそれぞれのヒューズセットが存在する場合の、カラムスペアアドレス発生回路の回路図である。図において示すように、AR10*I*/II信号は、PチャンネルMOSトランジスタ363、369のゲートと、NチャンネルMOSトランジスタ375、377のゲートに入力される。/AR10*I*/II信号は、PチャンネルMOSトランジスタ364、370のゲートと、NチャンネルMOSトランジスタ376、378のゲートに入力される。トランジスタ363、375のドレイン間にヒューズ371が接続される。トランジスタ364、376のドレイン間にヒューズ372が接続され、トランジスタ369、377のドレイン間にヒューズ373が接続され、トランジスタ370、378のドレイン間にヒューズ374が接続される。また、トランジスタ363のドレインはPチャンネルMOSトランジスタ361のドレイン、インバータ359、 NANDゲート357に接続される。インバータ359の出力はトランジスタ361のゲートに接続される。一方、トランジスタ364のドレインはPチャンネルMOSトランジスタ362のドレイン、インバータ360、NANDゲート357に接続される。インバータ360の出力はトランジ

10

スタ362のゲートに接続される。そして、 NANDゲート357の出力として/F3I/II信号を得ることができる。また、トランジスタ369のドレインは、PチャンネルMOSトランジスタ367のドレイン、インバータ365、NANDゲート358に接続される。インバータ365の出力はトランジスタ367のゲートに接続される。一方、トランジスタ370のドレインは、PチャンネルMOSトランジスタ368のドレイン、インバータ366、NANDゲート358に接続される。インバータ366の出力はトランジスタ368のゲートに接続される。そして、NANDゲート358の出力として/FF*I*/II信号を得ることができる。ちなみに、NANDゲート357を含む回路は、スペアアドレス/F2~/F8毎に配置される。なお、/FFはスペアアドレス使用許可信号となる。

【0155】次に、バンク活性化/プリチャージ動作とオートリフレッシュサイクル動作について図57、図58のタイミングチャートに基づいて説明する。

【0156】図57はバンク活性化/プリチャージ動作を説明するためのタイミングチャートである。図において、(A)はCLK、(B)は/RAS、(C)は/W*E*、(D)はROWACT、(E)はCLKIN、(F)はACTC、(G)はBACT、(H)は/RA*L*、(I)はBNK*I*、(J)はBNK*II*、(K)は/BAL*I*、(L)は/BAL*II*、(M)はROWPR*E*、(N)はBPENL*I*、(O)はBPENL*II*、(P)はPREC、(Q)は/PBL、(R)は/PERC*I*、(S)は/PREC*II*、(T)はAR*i*、(U)はAR*I**i*、(V)はAR*II**i*、(W)はX*I**a**j*、(X)はX*II**a**j*、(Y)はRSL*I**k*、(Z)はRSL*II**k*、(a)はXVLD*I*、(b)はXVLD*I**I*、(c)はWKM*I*、(d)はWKM*II*、(e)はPRCH*I*、(f)はPRCH*II*、(g)は/F*I**I*、(h)は/F*II**I*、(i)は/RTM*I*、(j)はRT*II*である。

【0157】バンク活性化の場合、図57に示すように、同図(D)のROWACT信号によりロウ活性化となると、これはバンク活性化コマンドとして検知される。これにより、同図(F)のACTC信号としてバンク活性化コマンドパルスが出され、同図(G)のBACT信号によりバンク活性化が行われると共に、同図(H)に示すように、ロウアドレスがラッチされる。バンク活性化により、同図(I)、(J)に示すように、バンク活性/不活性の指定がなされる。この場合、BNK*I*信号、BNK*II*信号によりバンク*I*または*II*の活性化が行われる。バンクの活性化により、先ず、同図(K)、(L)に示すように、/BAL*I*信号、/BAL*II*信号によって、バンクアドレスがラッチされる。併せて、同図(W)、(X)、(Y)、(Z)の指定によりパーシャルデコードが行われる。これに基づき、同図

50

49

(a)、(b)に示すように、ワード線活性化コントロールが行われる。これによって、同図(c)、(d)に示すように、ワード線のブーストが行われる。そして、同図(e)、(f)に示すように、コア部のプリチャージが行われる。

【0158】一方、バンクプリチャージの場合、図57に示すように、同図(P)、(Q)に示すように、PR EC信号がバンクプリチャージコマンドパルスとして与えられると、/PBLが出力される。その結果、同図(R)、(S)に示すように、指定された側のバンクがプリチャージされる。併せて、同図(W)、(X)、(Y)、(Z)の指定によりパーシャルデコードが行われる。これに基づき、同図(a)、(b)に示すように、ワード線活性化コントロールが行われる。これによって、同図(c)、(d)に示すように、ワード線のブーストが行われる。

【0159】ちなみに、同図(M)はプリチャージコマンド検知、(N)、(O)はプリチャージバンク検知、(T)はロウアドレス、(U)、(V)はバンク用アドレスラッチ、(g)、(h)はカラムスペアアドレス、(i)、(j)はバンクプリチャージゲーティングをそれぞれ示している。

【0160】図58はオートリフレッシュサイクル動作を説明するためのタイミングチャートである。図において、(A)はCLK、(B)は/RAS、(C)は/ARC、(D)は/BAL、(E)はAUTRF、(F)は/AUTRF、(G)はPEFR、(H)は/AUP EL、(I)はRFADD、(J)は/RAL、(K)はAUTC、(L)はBACT、(M)はBNKI、(N)はBNKII、(O)は/RTMI、(P)は/RTMII、(Q)は/BALI、(R)は/BALII、(S)はARI、(T)はARIi、(U)はARI II、(V)はCT、(W)はRJ、(X)はXIa、(Y)はXIIa、(Z)はXVLDI、(a)はXVL DIIである。

【0161】同図(C)に示すように、/ARC信号によりオートリフレッシュコマンドを検知すると、同図(E)、(F)に示すように、オートリフレッシュ指定する。その結果、同図(G)に示すように、オートリフレッシュ状態が検知される。これに伴い、同図(I)に示すように、リフレッシュアドレスゲートが開かれ、同図(K)、(L)、(M)、(N)に示すように、リフレッシュバンクが活性化される。そして、同図(O)、(P)、(Q)、(R)に示すように、ゲーティングやバンクアドレスのラッチを実行し、次に、同図(X)、(Y)、(Z)、(a)に示すように、リフレッシュ動作を行わせる。このような一連の動作のあとで、同図(D)に示すように、両バンクプリチャージ検知を行うと、同図(V)、(W)に示すように、リフレッシュカウンタを動作させ、同様の動作を繰り返す。

50

【0162】以上のような構成と動作を通じて、本発明の半導体メモリ装置は各種モードの組み合わせによる高速動作を実現する。

【0163】

【発明の効果】以上述べたように、本発明の半導体メモリ装置によれば、メモリ内部を複数バンク構成とし、それぞれのバンクを独立に動作できるようにしたので、单一のクロックにより高速動作するCPUに対して、そのCPUと同じクロックにより、CPUに追従して高速動作できるようになり、ヒデュンロー動作が可能になりカラムアクセスがとぎれることなく実施できるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例に係る半導体メモリ装置のブロック図である。

【図2】図1の構成のロウ系コントロール部のブロック図である。

【図3】図1の構成のコア部のブロック図である。

【図4】アクティブページランダムリードモードの説明図である。

【図5】セルフリフレッシュサイクルの説明図である。

【図6】オートリフレッシュサイクルの説明図である。

【図7】パワーダウンモードの説明図である。

【図8】モードレジスタセットサイクルの説明図である。

【図9】バンク活性/不活性指定回路の回路図である。

【図10】バンクプリチャージゲーティングの回路図である。

【図11】バンク活性化回路の回路図である。

【図12】バンク活性化コマンド検知回路の回路図である。

【図13】バンク活性化コマンドパルス発生回路の回路図である。

【図14】アドレスラッチ回路の回路図である。

【図15】バンク用アドレスラッチ回路の回路図である。

【図16】ロウアドレスバッファ回路の回路図である。

【図17】オートリフレッシュコマンド検知回路の回路図である。

【図18】両バンクプリチャージ検知回路の回路図である。

【図19】オートリフレッシュ指定回路の回路図である。

【図20】リフレッシュ状態検知回路の回路図である。

【図21】オートリフレッシュプリチャージ指定回路の回路図である。

【図22】リフレッシュアドレスゲート回路の回路図である。

【図23】リフレッシュバンクアクティブ回路の回路図である。

【図24】カウンタテスト対応カラム系選択回路の回路図である。

【図25】リフレッシュカウンタ回路の回路図である。

【図26】セルフリフレッシュコマンド検知回路の回路図である。

【図27】セルフリフレッシュ指定回路の回路図である。

【図28】セルフリフレッシュタイミングパルス回路の回路図である。

【図29】セルフ強制プリチャージ指定回路の回路図である。

【図30】プリチャージコマンド検知回路の回路図である。

【図31】プリチャージバンク検知回路の回路図である。

【図32】バンクプリチャージコマンドパルス回路の回路図である。

【図33】バンクプリチャージ回路の回路図である。

【図34】オートプリチャージ検知回路の回路図である。

【図35】オートプリチャージバンク指定回路の回路図である。

【図36】パワーダウン対応回路の回路図(A)と論理表(B)である。

【図37】モード変更検知回路の回路図である。

【図38】モード用アドレス取り込み回路の回路図である。

【図39】モード変更パルス回路の回路図である。

【図40】モード長デコーダ回路の回路図である。

【図41】スクランブルデコーダ回路の回路図である。

【図42】レイテンシデコーダ回路の回路図である。

【図43】テストモードデコード回路の回路図である。

【図44】モード変更可検知回路の回路図である。

【図45】ロウバーシャルデコーダ回路の回路図(A)と論理表(B)、(C)、(D)である。

【図46】ワードラインデコーダ回路の回路図(A)と論理表(B)である。

【図47】ロウブロックセレクタ回路の回路図(A)と論理表(B)である。

【図48】ワードライン活性化コントロール回路の回路図である。

【図49】ワードラインドライバデコーダ回路の回路図である。

【図50】コア部プリチャージ回路の回路図である。

【図51】ワードラインブースト回路の回路図である。

【図52】センス増幅器ゲートドライバ回路の回路図である。

【図53】バンク用アドレスラッチ回路の回路図である。

【図54】モード用アドレスラッチ回路の回路図である。

【図55】カラムスペアアドレス発生回路の回路図である。

【図56】半導体メモリ装置のアドレス対応図である。

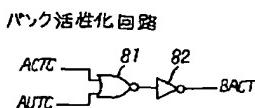
【図57】バンク活性化/プリチャージ動作を説明するタイミングチャートである。

【図58】オートリフレッシュサイクル動作を説明するタイミングチャートである。

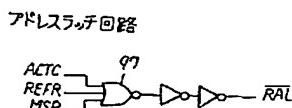
【符号の説明】

1	活性化コマンド検知部
2	ロウアドレスバッファ
3	アドレスラッチ
20	6 オートリフレッシュ検知部
	7 オートリフレッシュカウンタ
	9 プリチャージ制御部
12	セルフリフレッシュ検知部
13	セルフリフレッシュカウンタ
14	パワーダウン回路
15	モードレジスタ
18	プリチャージコマンド検知部
19	プリチャージカウンタ
20	バンク指定検知部
23	オートプリチャージバンク検知部
26	バンクI活性化/プリチャージ指定部
27	バンクII活性化/プリチャージ指定部
32	バンクI用アドレスラッチ
33	バンクII用アドレスラッチ
34	バンクI回路
35	バンクII回路
36	バンクIアドレスラッチコントロール部
37	バンクIIアドレスラッチコントロール部
43	バンクIセルアレイ
46	バンクIIセルアレイ
51	カラムアドレスバッファ
52	アドレスカウンタ

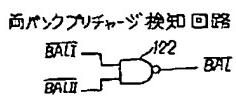
【図11】



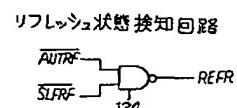
【図14】



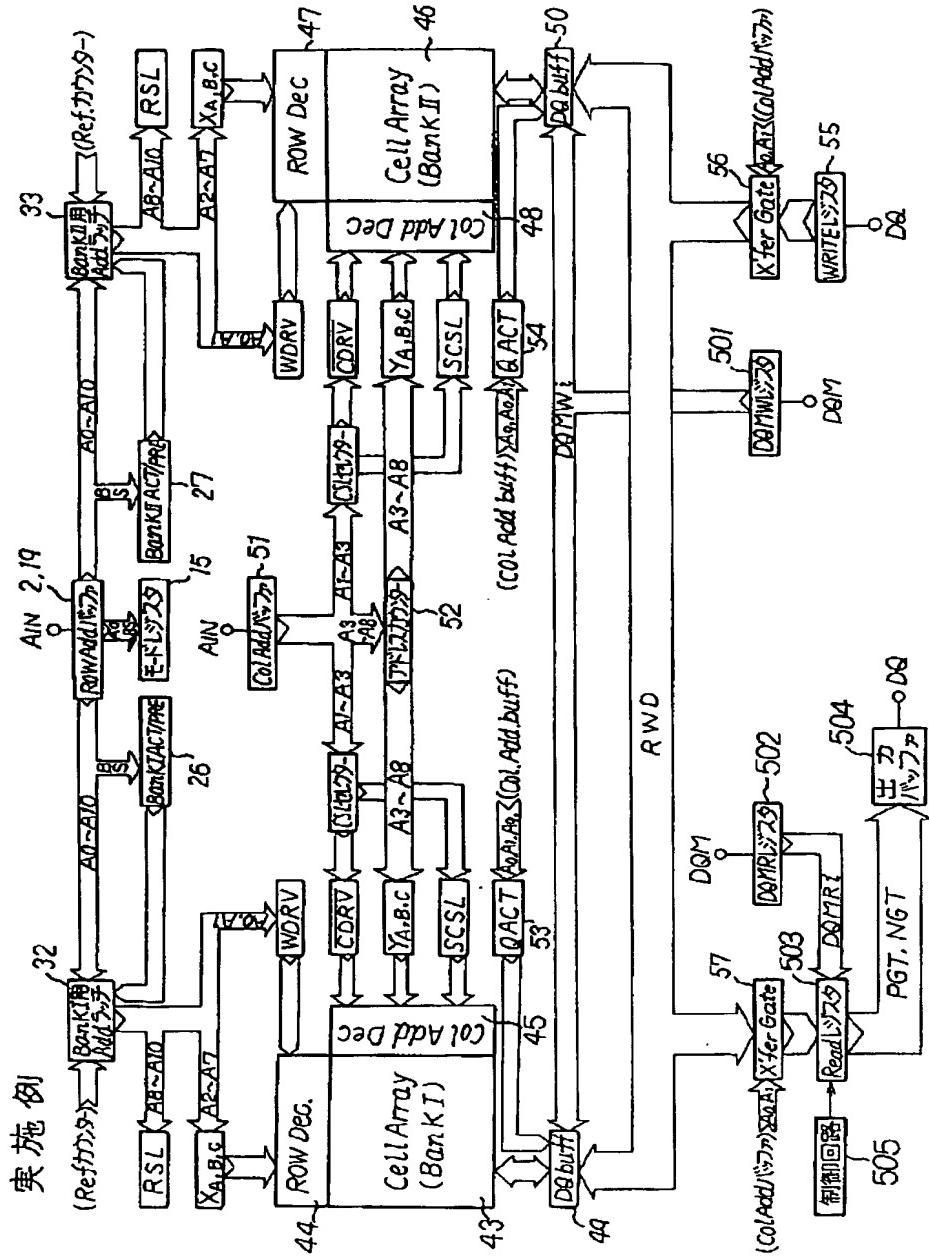
【図18】



【図20】

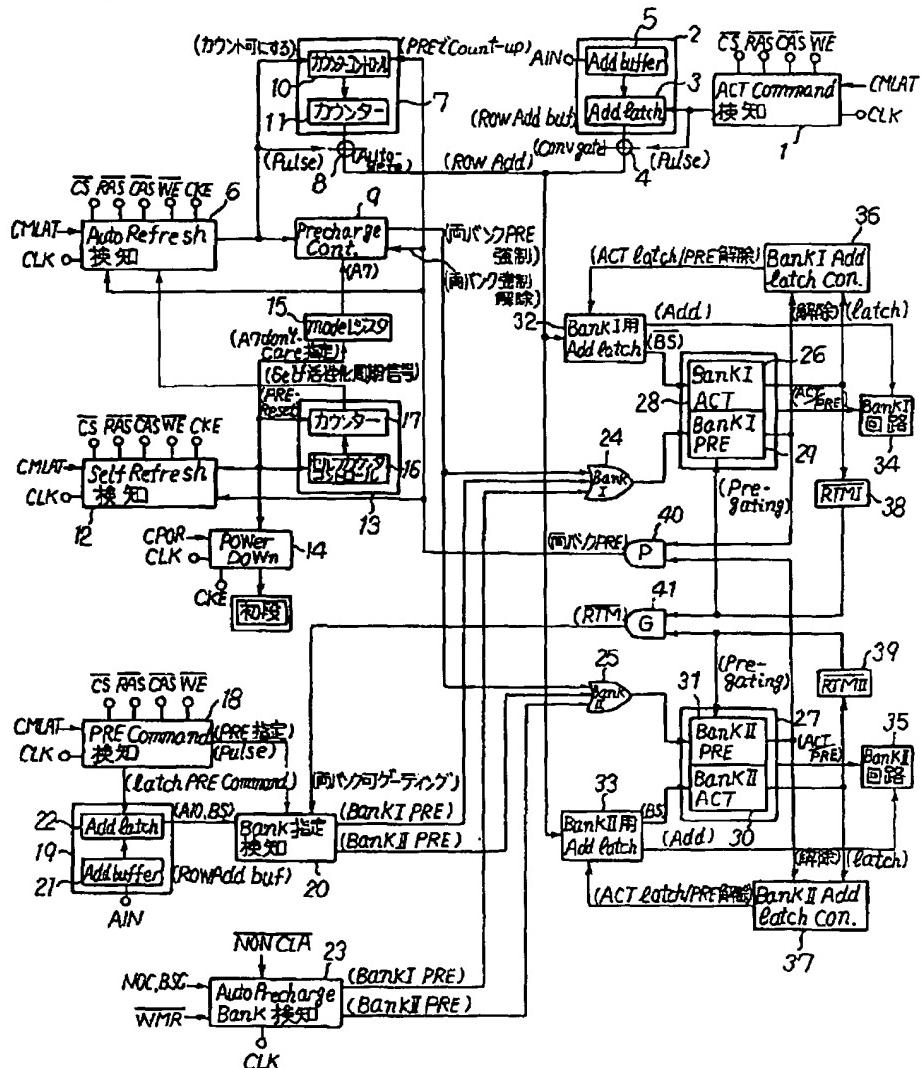


[☒ 1]

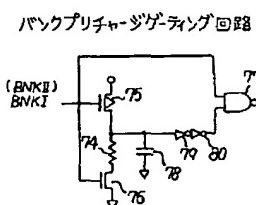


【図2】

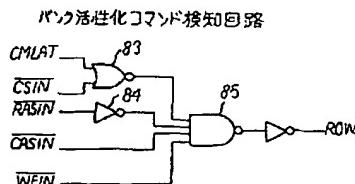
ロウ部系コントロール



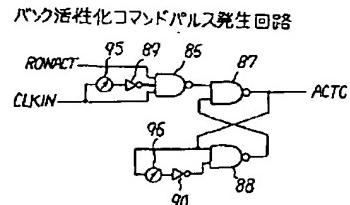
【図10】



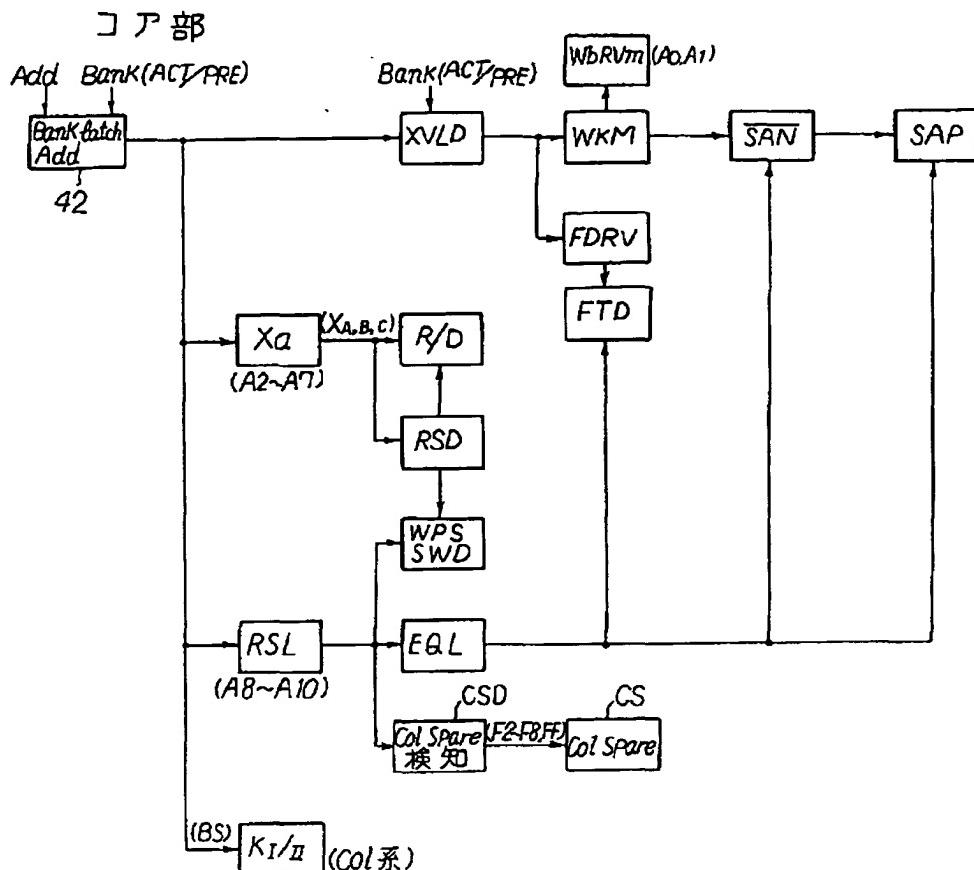
【図12】



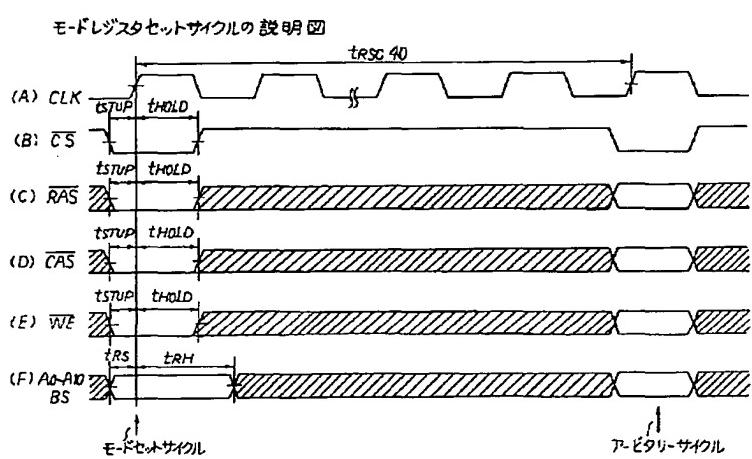
【図13】



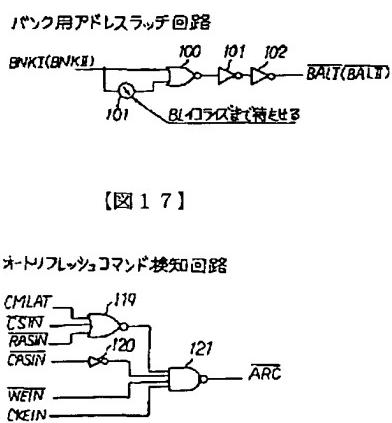
【図3】



【図8】

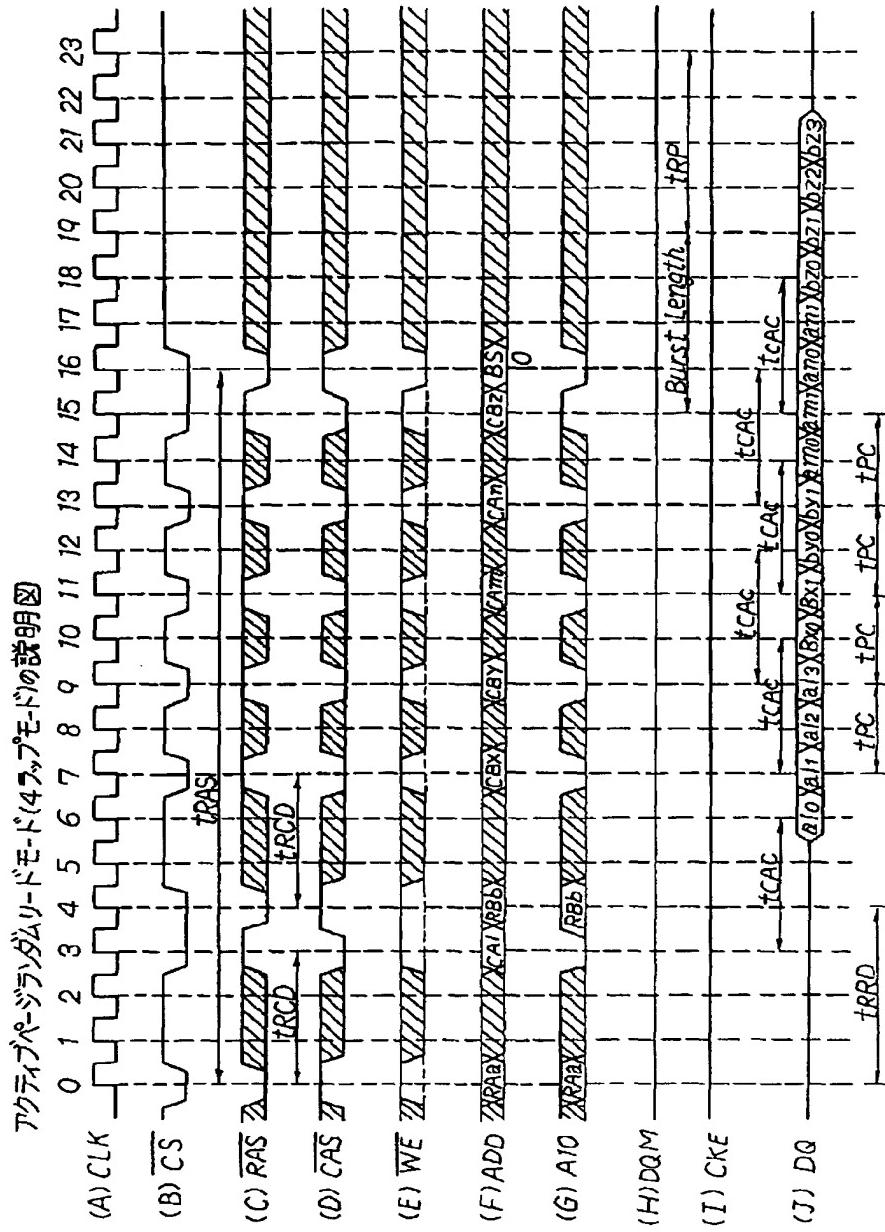


【図15】

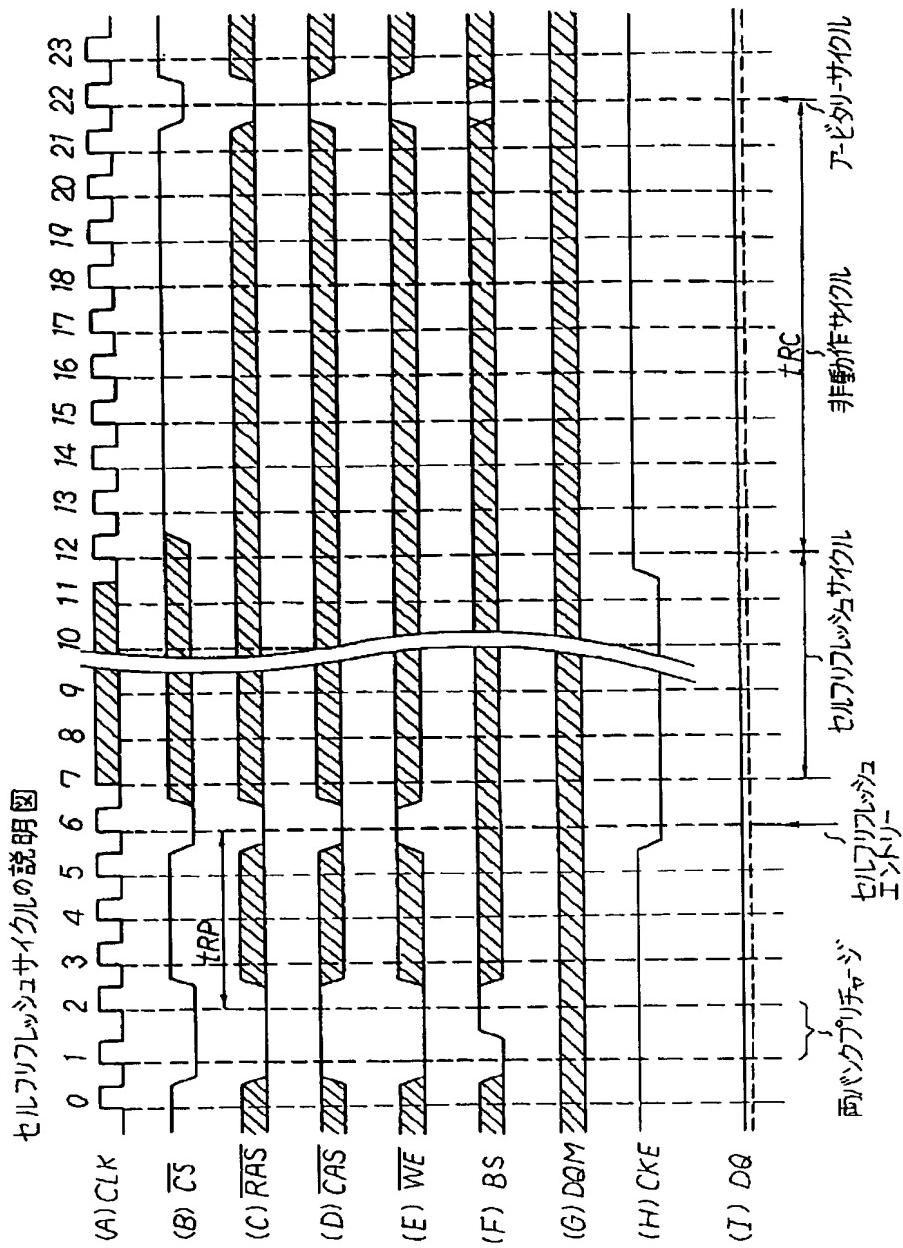


【図17】

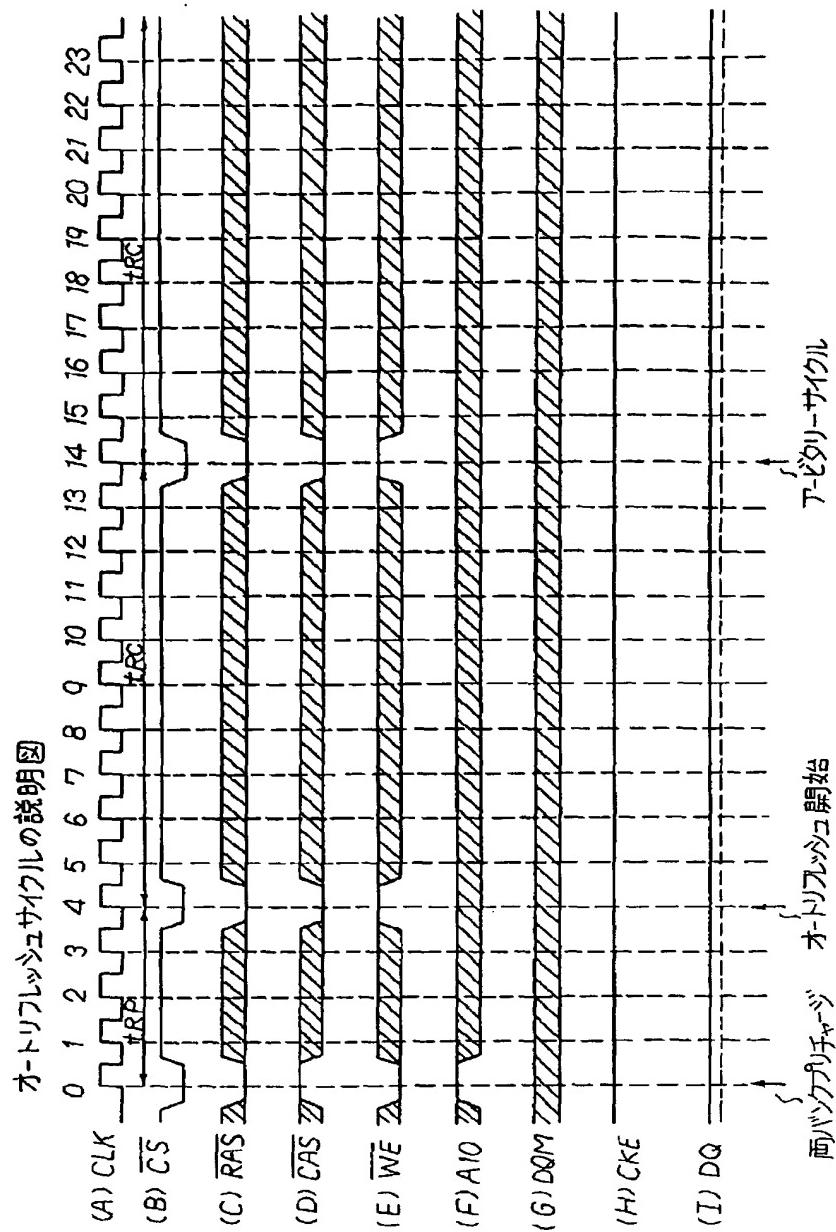
[図4]



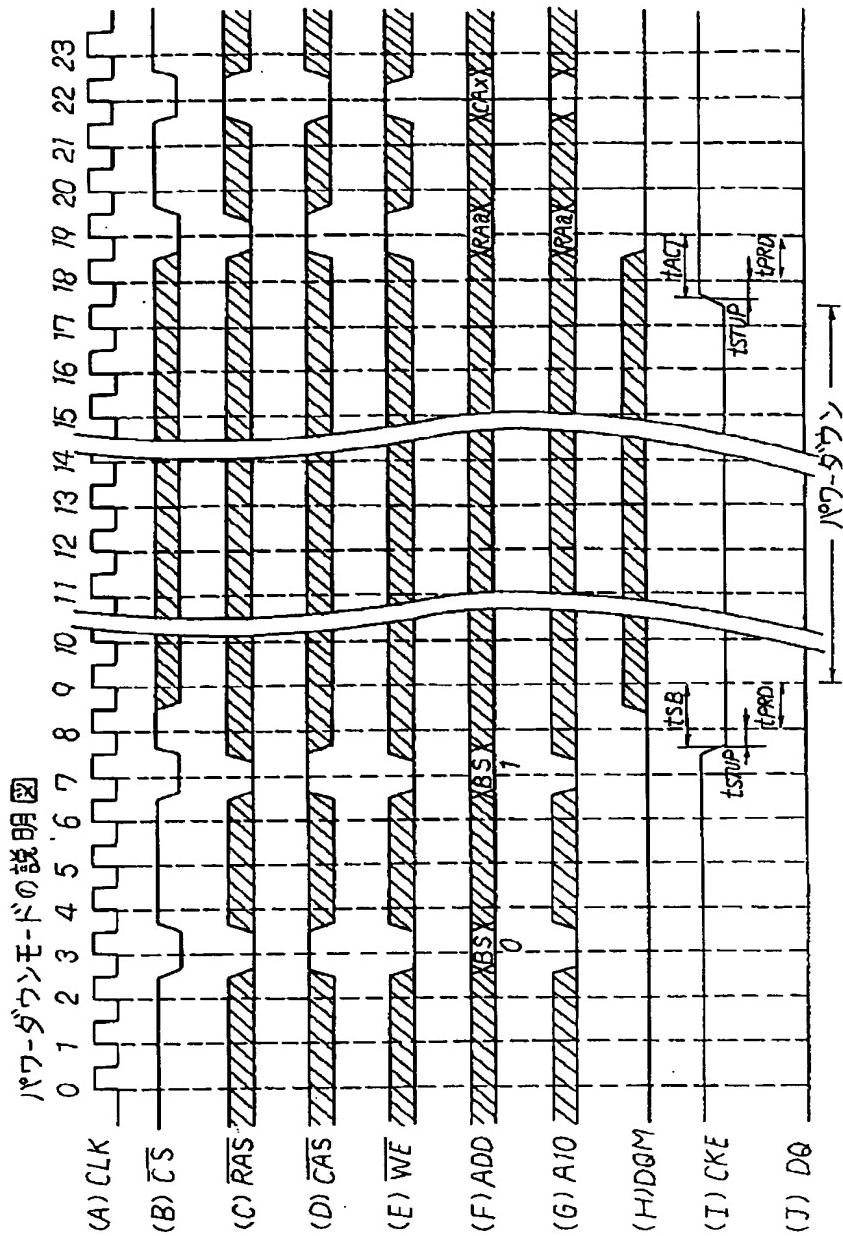
【図5】



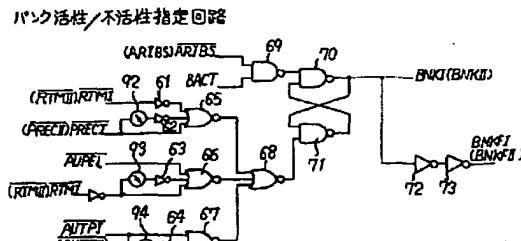
【図6】



【図7】

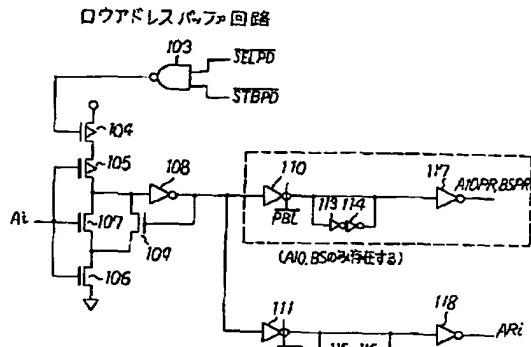


【図 9】

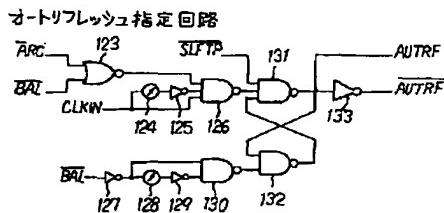


【図 19】

【図 16】

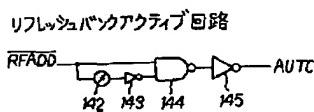


【図 22】

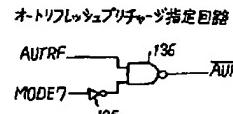


【図 21】

【図 23】

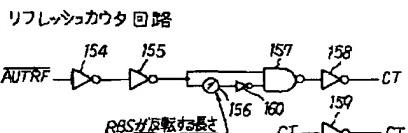


【図 26】

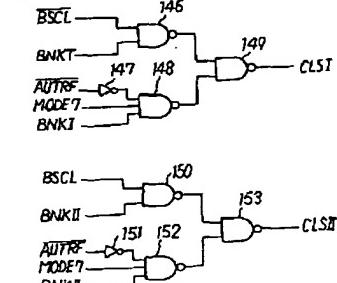
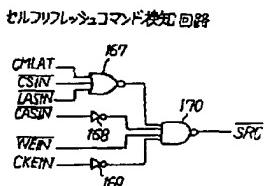


【図 25】

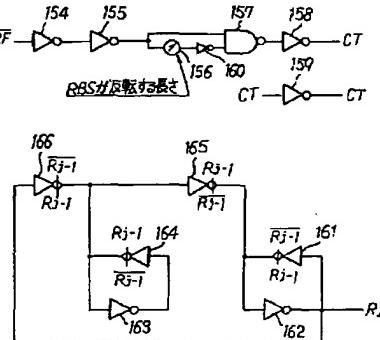
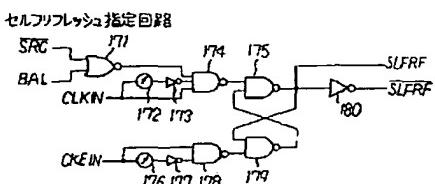
カウンタ-テスト対応カラム系選択回路



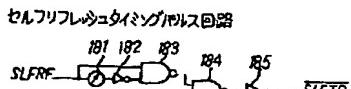
【図 27】



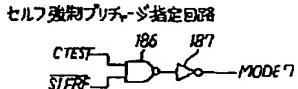
リフレッシュカウタ回路

 $RBS-j = CT, \overline{RBS-j} = \overline{CT}$
 $CT \rightarrow [0] \rightarrow [1] \rightarrow [2] \rightarrow [3] \rightarrow [4] \rightarrow [5] \rightarrow [6] \rightarrow [7] \rightarrow [8] \rightarrow [9] \rightarrow [10]$
 (カウンタ-のつなぎ方)


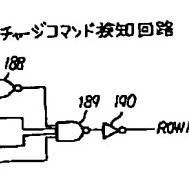
【図28】



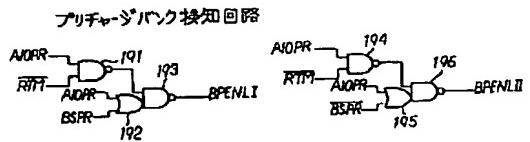
【図31】



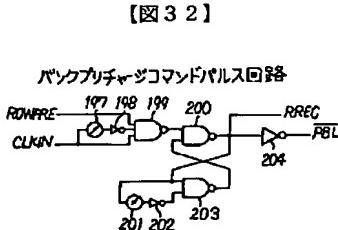
【図29】



【図30】



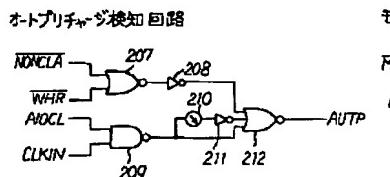
【図33】



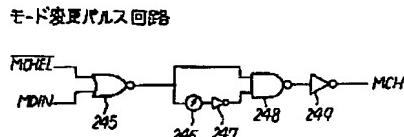
【図32】



【図34】

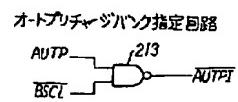


【図39】

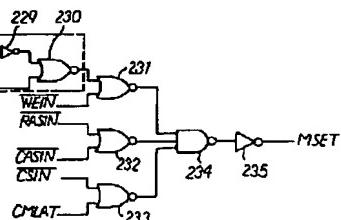


【図35】

【図37】

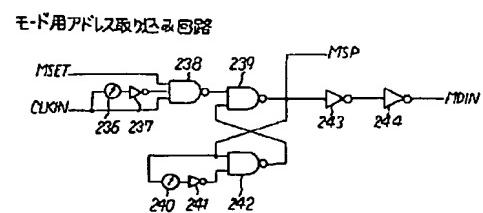


モード変換検知回路

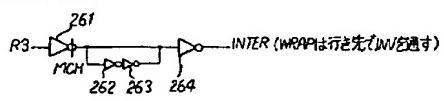


【図38】

【図41】

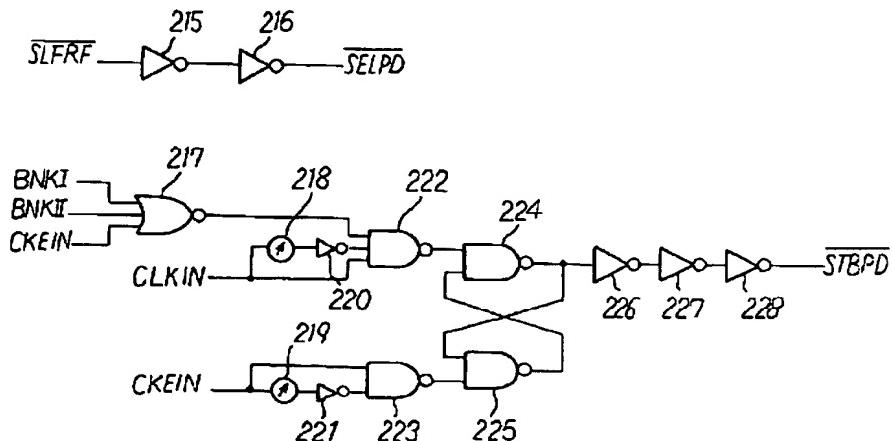


スクランブルデコ-ダ回路



【図36】

(A) パワ-ダウン対応回路



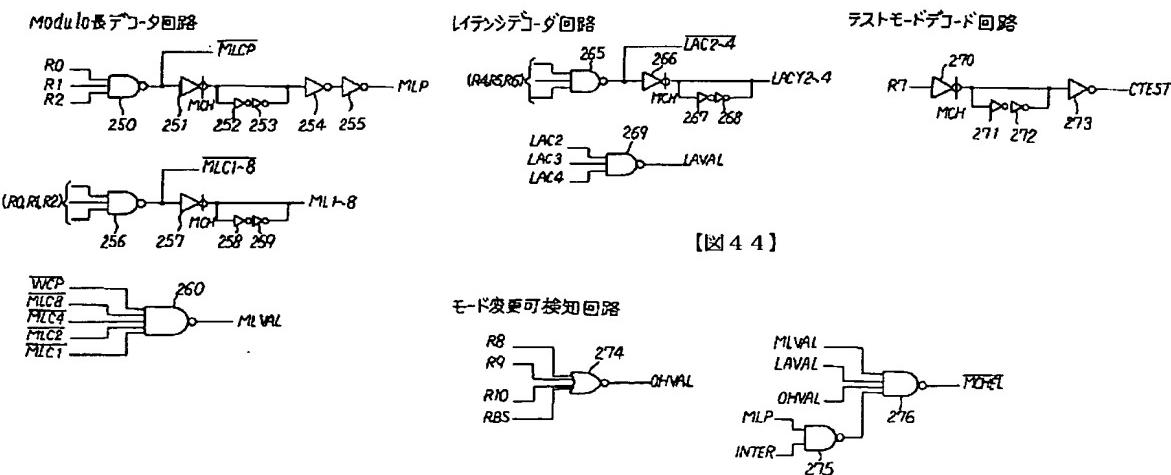
(B) パワ-ダウン信号の行き先

SELPD	STBPD
CLKIN	—
RASIN	RASIN
CASIN	CASIN
WEIN	WEIN
CSIN	CSIN
DQMW	DQMW
DQMR	DQMR
RowAddbuff	RowAddbuff
ColAddbuff	ColAddbuff
Din buff.	Din buff.

【図40】

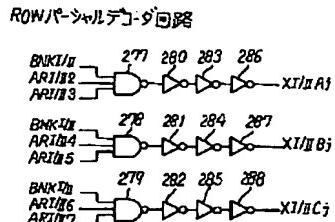
【図42】

【図43】



【図44】

【図45】



(B)

XAI	AR3	AR2
0	0	0
1	0	1
2	1	0
3	1	1

(C)

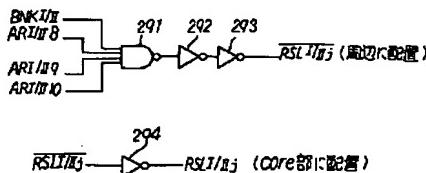
XBI	AR3	AR4
0	0	0
1	0	1
2	1	0
3	1	1

(D)

XCI	AR3	AR5
0	0	0
1	0	1
2	1	0
3	1	1

【図47】

(A) ROWブロクセレクタ回路

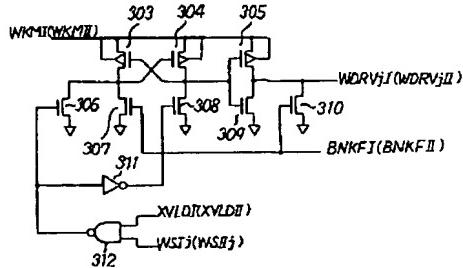


(B)

AR0	0		1	
AR9	0	1	0	1
ARB	0	1	0	1
j	0	1	2	3
4	5	6	7	

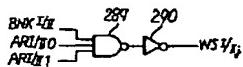
【図49】

WLドライバ-デコ-ダ回路



【図46】

(A) WLデコ-ダ回路

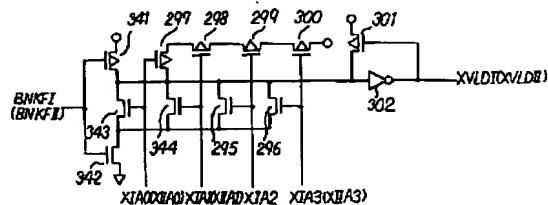


(B)

WSJ	AR1	AR0
0	0	0
1	0	1
2	1	0
3	1	1

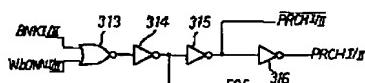
【図48】

WL活性化コントロール回路



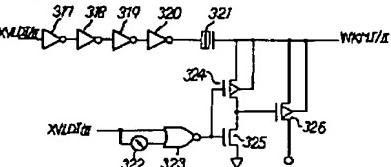
【図50】

コア部プリチャージ回路



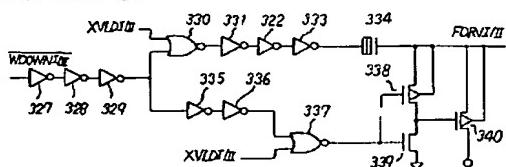
【図51】

WLブースト回路

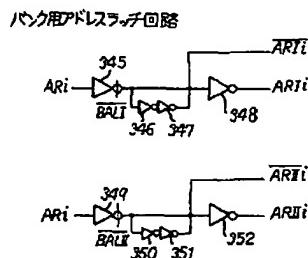


【図52】

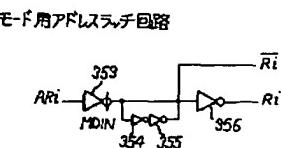
センス増幅器ゲートドライバー回路



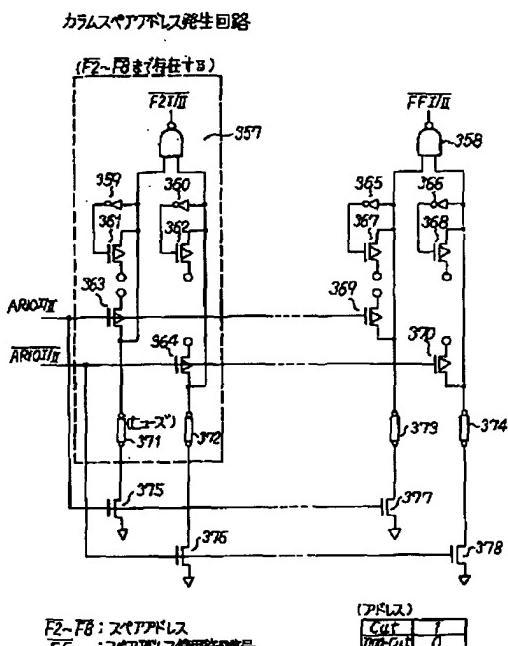
[図5-3]



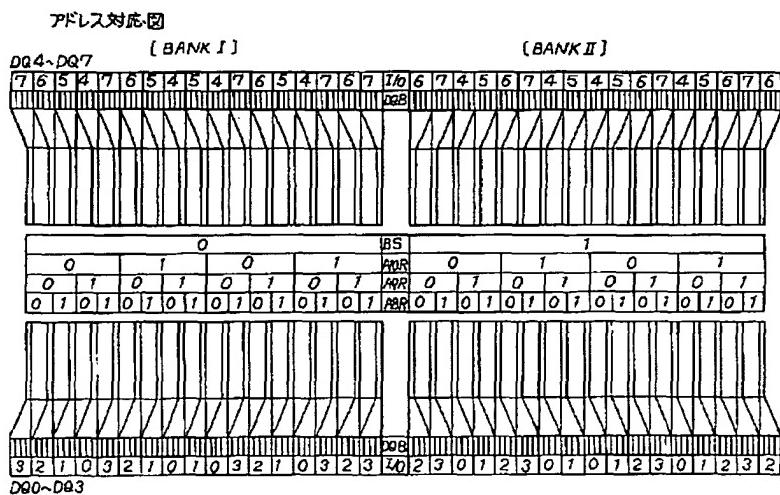
[图 54]



【图55】

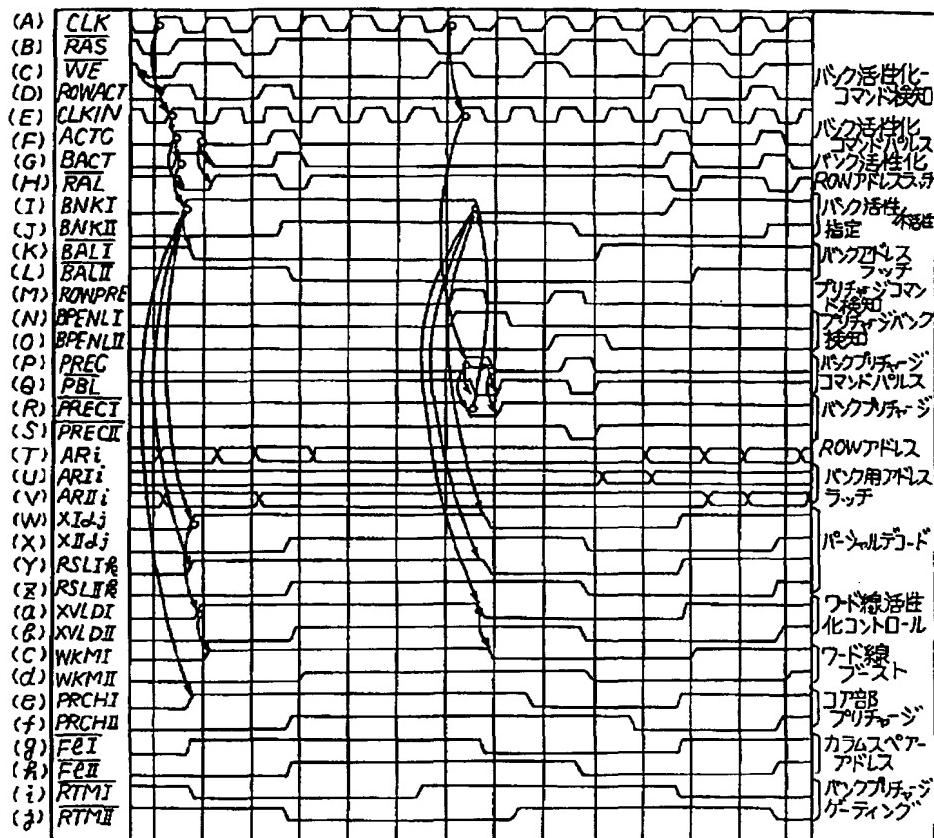


[图 5-6]



【図57】

バンク活性化/プリチャージ動作



【図 5 8】

オートリフレッシュサイクル動作

